

202 PROBLEMAS DE ARQUITECTURA DE COMPUTADORES

César Represa Pérez

Carmen Rodríguez Clavería

Nº de Asiento Registral 00/2013/1733

Burgos, 2013

202 PROBLEMAS DE ARQUITECTURA DE COMPUTADORES

Bloque I: PROCESADORES ESCALARES

Tema 1 – Arquitectura de computadores

Tema 2 – Arquitectura del repertorio de instrucciones

Tema 3 – Evaluación de prestaciones

Bloque II: TÉCNICAS DE AUMENTO DE PRESTACIONES

Tema 4 – Procesadores segmentados

Tema 5 – Arquitecturas monoprocesador avanzadas

Bloque III: JERARQUÍA DE MEMORIA

Tema 6 – Memoria principal

Tema 7 – Memoria cache

Tema 8 – Memoria virtual

Bloque IV: ENTRADA Y SALIDA

Tema 9 – Sistema de entrada/salida

Tema 10 – Buses de entrada/salida

Tema 11 – Gestión del sistema de entrada/salida

Bloque I: PROCESADORES ESCALARES

Tema 1: Arquitectura de computadores

1.1 Dentro de la visión multinivel de la estructura de un computador, el nivel de “Arquitectura” se encuentra por encima del nivel “Físico” y por debajo del nivel de “Aplicación”. ¿VERDADERO o FALSO?

Solución: VERDADERO

1.2 La “Arquitectura de Computadores” únicamente se encarga del estudio del repertorio de instrucciones de un computador y de evaluar su rendimiento. ¿VERDADERO o FALSO?

Solución: FALSO

1.3 Los registros son dispositivos hardware que permiten almacenar cualquier valor binario. ¿VERDADERO o FALSO?

Solución: VERDADERO

1.4 La cantidad de información que puede almacenar un registro depende de su longitud, la cual se puede medir en bytes. ¿VERDADERO o FALSO?

Solución: VERDADERO

1.5 En la estructura de un computador, el registro denominado **PC** (*Program Counter*) almacena la siguiente instrucción que se va a ejecutar. ¿VERDADERO o FALSO?

Solución: FALSO

1.6 Una característica de las “máquinas de Von Neumann” es la ejecución simultánea de varias instrucciones. ¿VERDADERO o FALSO?

Solución: FALSO

1.7 La posición que ocupa una instrucción o un dato dentro de un programa recibe el nombre de dirección lógica? ¿VERDADERO o FALSO?

Solución: VERDADERO

1.8. Una forma de aumentar las prestaciones de un computador consiste en introducir el paralelismo en el diseño, lo cual se puede conseguir replicando algunas partes de su estructura. ¿VERDADERO o FALSO?

Solución: VERDADERO

1.9. Con el fin de introducir el paralelismo en el diseño de un computador, ¿qué nombre recibe la técnica que consiste en ejecutar simultáneamente varias instrucciones, cada una de ellas en diferentes etapas?

Solución: Solapamiento o Segmentación

1.10. De acuerdo con la clasificación de Flynn de las arquitecturas, ¿en qué categoría podríamos situar una tarjeta gráfica?

Solución: SIMD

1.11. ¿Qué nombre recibe la capacidad de una arquitectura para incrementar su rendimiento aumentando sus recursos hardware (memoria, procesadores, registros...)?

Solución: Escalabilidad

1.12. Dentro del mérito arquitectónico de un computador, ¿qué parámetro nos permite medir la utilidad de una arquitectura para el uso que se pretende dar?

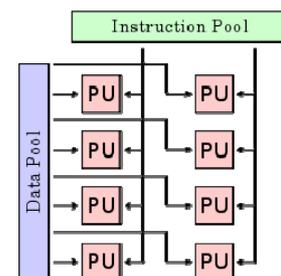
Solución: Aplicabilidad

1.13. ¿En qué aspecto influye la confiabilidad, la robustez y el consumo a la hora de diseñar un sistema?

Solución: Coste del sistema

1.14. De acuerdo con la clasificación de Flynn de las arquitecturas, ¿qué nombre recibe la arquitectura mostrada en la figura?

Solución: MIMD



Tema 2: Arquitectura del repertorio de instrucciones

2.1 Para realizar una determinada tarea, en una arquitectura de tipo **RISC** se necesita un mayor número de instrucciones que en una arquitectura de tipo **CISC**. ¿VERDADERO o FALSO?

Solución: VERDADERO

2.2 El periodo de la señal de reloj en una arquitectura **RISC** puede ser más pequeño que en una arquitectura **CISC**. ¿VERDADERO o FALSO?

Solución: VERDADERO

2.3 En el modo de direccionamiento de tipo registro la dirección del operando buscado se encuentra almacenada en un registro. ¿VERDADERO o FALSO?

Solución: FALSO

2.4 En el modo de direccionamiento de tipo indirecto, la dirección del operando buscado se encuentra almacenada en un registro. ¿VERDADERO o FALSO?

Solución: VERDADERO

2.5 La **ALU** de un procesador se encarga de calcular operaciones aritméticas, direcciones y destinos de saltos. ¿VERDADERO o FALSO?

Solución: VERDADERO

2.6 Un formato de instrucción de longitud variable siempre es el más eficiente a la hora de su decodificación. ¿VERDADERO o FALSO?

Solución: FALSO

2.7 Un procesador multiciclo es aquel que puede ejecutar múltiples instrucciones en un solo ciclo. ¿VERDADERO o FALSO?

Solución: FALSO

2.8. En cada etapa dentro de la ejecución de una instrucción se utilizan todos los recursos del procesador. ¿VERDADERO o FALSO?

Solución: FALSO

2.9. En una memoria donde el almacenamiento es de tipo *little-endian* el byte menos significativo se almacena en la dirección más baja. ¿VERDADERO o FALSO?

Solución: VERDADERO

2.10. El valor de **CPI** de un procesador nos informa del tiempo que tarda el procesador en llevar a cabo cada instrucción. ¿VERDADERO o FALSO?

Solución: VERDADERO

2.11. El alineamiento de datos en memoria obliga a que los datos estén almacenados en direcciones que dependen de su tamaño. ¿VERDADERO o FALSO?

Solución: VERDADERO

2.12. Utilizando un tipo de codificación híbrida y de acuerdo con el pequeño repertorio de instrucciones mostrado en la tabla, determinar de qué instrucción se trata cada una de las siguientes instrucciones:

- a. 10001111 10110100 10110011 00100100
- b. 00010010 10011100 11001010 00100000
- c. 00000011 10110100 10110000 00100101
- d. 10101110 01110101 11001100 10100100
- e. 00000010 00110011 11000000 00100100

Instrucción	Pseudocódigo	Opcode	Funct
LW	LW RT,inmediato(RS)	100011	—
SW	SW RT,inmediato(RS)	101011	—
ADD	ADD RD,RS,RT	000000	100000
SUB	SUB RD,RS,RT	000000	100010
AND	AND RD,RS,RT	000000	100100
OR	OR RD,RS,RT	000000	100101
SLT	SLT RD,RS,RT	000000	101010
BEQ	BEQ RS,RT,destino	000100	—

Solución:

a. Carga (LW); b. Salto (BEQ); c. Aritmético-lógica (OR); d. Almacenamiento (SW); e. Aritmético-lógica (AND).

2.13 Dentro de las diferentes etapas en que habitualmente se divide la ejecución de una instrucción (**F**, **D**, **X**, **M** y **W**), ¿en qué etapa se leen los operandos?

Solución: Etapa D

2.14 En la ejecución de una instrucción de tipo **salto** (**BEQ**), ¿en qué etapa se conoce la dirección de destino del salto?

Solución: Etapa X

2.15 En la ejecución de una instrucción de tipo **almacenamiento** (**sw**), ¿en qué etapa se conoce la dirección de memoria en la que guardar el dato?

Solución: Etapa X

2.16 Un determinado procesador presenta las siguientes latencias para los componentes hardware de su ruta de datos:

- » Lectura de la memoria: 0,3 ns
- » Escritura en la memoria: 0,45 ns
- » Lectura y escritura en el banco de registros: 0,05 ns
- » Operación aritmético-lógica con la ALU: 0,25 ns
- » Suma para preparar el PC siguiente: 0,1 ns

El repertorio de instrucciones es de tipo **RISC** con 4 tipos de instrucción distintos. Las etapas por las que atraviesa cada una de ellas son:

LW (carga de datos en registro): **F + D + X + M + W**

SW (almacenamiento de datos en memoria): **F + D + X + M**

Aritmético-lógica: **F + D + X + W**

BEQ (control de flujo): **F + D + X**

a. Determinar la frecuencia máxima de funcionamiento del procesador cuando se diseña como *monociclo*.

b. Determinar la frecuencia máxima de funcionamiento del procesador cuando se diseña como *multiciclo*.

c. Determinar el **CPI** del procesador *multiciclo* sabiendo que la frecuencia de aparición de cada instrucción es:

LW: 20%

SW: 10%

Aritmético-lógica: 35%

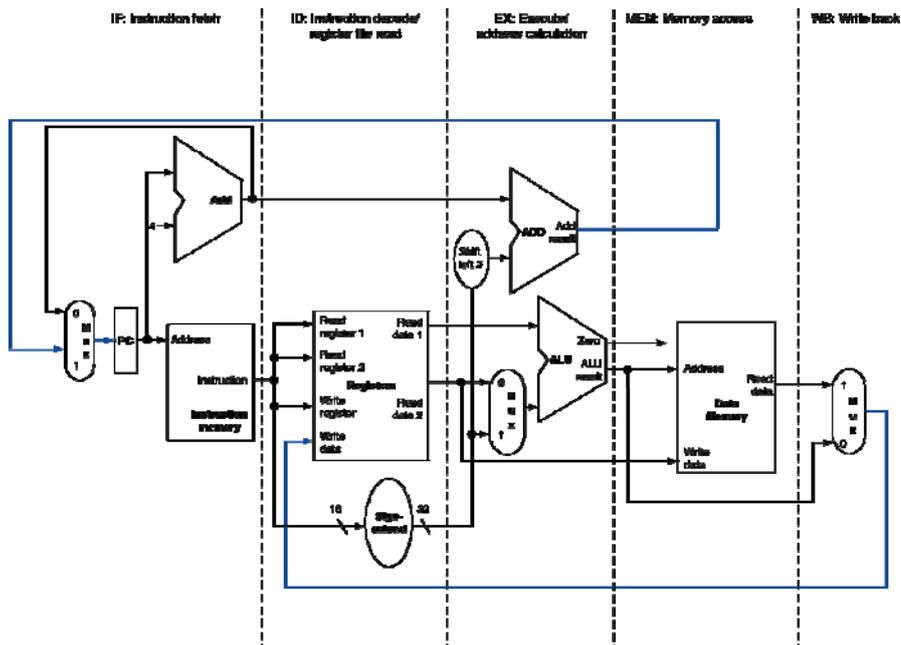
BEQ: 35%

Solución:

a. $f = 0,87$ GHz; b. $f = 2,22$ GHz; c. CPI = 3,85.

2.17 La siguiente figura representa la ruta de datos de un procesador monociclo. El repertorio de instrucciones que puede ejecutar y sus respectivas latencias es el siguiente:

- » **LW** (carga de datos en registro): 1,15 ns.
- » **SW** (almacenamiento de datos en memoria): 1,25 ns.
- » **Aritmético-lógica**: 0,85 ns.
- » **BEQ** (control de flujo): 0,80 ns.



- a. Señala en la figura anterior las estructuras hardware que se utilizan para ejecutar una instrucción aritmético-lógica.
- b. Determinar la frecuencia máxima de funcionamiento.
- c. Si rediseñamos la ruta de datos para que funcione como un procesador *multiciclo* con un **CPI** de 2,5 y a una frecuencia de 3,2 GHz, ¿cual será la ganancia obtenida?

Solución:

- a. MUX → PC → ALU → memoria de intrucciones → banco de registros → MUX → ALU → MUX → banco de registros.
- b. $T = 1,25 \text{ ns} \rightarrow f = 800 \text{ MHz}$.
- c. $R_{\text{MONO}} = 800 \text{ MIPS}$, $R_{\text{MULTI}} = 1280 \text{ MIPS} \rightarrow G = 1,60$.

Tema 3: Evaluación de prestaciones

3.1 Para evaluar el rendimiento de un sistema se pueden utilizar los benchmark sintéticos, que son aplicaciones artificiales que no realizan ningún trabajo útil. ¿VERDADERO o FALSO?

Solución: VERDADERO

3.2 El rendimiento de un computador está relacionado con el tiempo que tarda en realizar un determinado trabajo. ¿VERDADERO o FALSO?

Solución: VERDADERO

3.3 Los benchmark de juguete son aplicaciones destinadas a medir el rendimiento de las videoconsolas. ¿VERDADERO o FALSO?

Solución: FALSO

3.4 La ley de Amdahl se puede generalizar siempre que haya más de una mejora dentro de un mismo sistema. ¿VERDADERO o FALSO?

Solución: FALSO

3.5 La comparación de rendimiento utilizando como métrica las instrucciones por segundo sólo es fiable cuando las arquitecturas son similares. ¿VERDADERO o FALSO?

Solución: VERDADERO

3.6 ¿Cuánto tiempo tarda en ejecutar un código de un millón de instrucciones un procesador multicitado de 5 etapas que funciona a una frecuencia de 1 MHz suponiendo que cada instrucción utiliza las 5 etapas?

Solución: $t = 5 \text{ s}$

3.7 Un procesador con un **CPI** = 1,2 y que trabaja a una frecuencia de 2 GHz está ejecutando un código de 10 billones de instrucciones donde el 60% corresponden a operaciones en punto flotante. ¿Cuál será su rendimiento expresado en **GFLOPS**?

Solución: $R = 1 \text{ GFLOPS}$

3.8. Si el rendimiento de un sistema es de 1500 MIPS, ¿cuál es el rendimiento de otro sistema que presenta un incremento relativo del 40%?

Solución: R = 2100 MIPS

3.9. ¿Cuál es el rendimiento en MIPS de un computador cuyo **CPI** es 1,5 y su frecuencia de funcionamiento es de 3 GHz?

Solución: R = 2000 MIPS

3.10. Un computador ejecuta un determinado código en 3 ms. ¿Cuál será el tiempo de ejecución en otro computador que presenta una ganancia de 1,5 respecto del primero?

Solución: t = 2 ms

3.11. ¿Cuál es el rendimiento de un computador que presenta un incremento relativo del 20% respecto de otro computador que tarda 12 ms en ejecutar un determinado programa?

Solución: R = 100 programas/s

3.12. Se dispone de un computador con la posibilidad de configurarlo de dos formas distintas. Para evaluar el rendimiento de cada configuración se ha ejecutado un benchmark compuesto por tres aplicaciones de prueba distintas:

- » Prueba A: uso intensivo del procesador.
- » Prueba B: uso intensivo de la memoria.
- » Prueba C: uso intensivo del sistema de E/S.

Los tiempos de ejecución obtenidos en segundos han sido:

	Configuración C1	Configuración C2
Prueba A	100	130
Prueba B	50	40
Prueba C	22	12

a. Comparar el rendimiento de la configuración **C2** respecto de la configuración **C1** para cada una de las pruebas.

b. Comparar nuevamente el rendimiento de las dos configuraciones sabiendo que nuestro sistema está ejecutando aplicaciones donde el 90% consiste en un uso intensivo del procesador, el 8% en un uso intensivo de la memoria y el 2% restante hace uso intensivo del sistema de E/S.

Solución:

a. Prueba A: $G_{C2/C1} = 0,77 \rightarrow \Delta = -23\%$; Prueba B: $G_{C2/C1} = 1,25 \rightarrow \Delta = 25\%$; Prueba C: $G_{C2/C1} = 1,83 \rightarrow \Delta = 83\%$

b. $G_{C2/C1} = 0,78 \rightarrow \Delta = -22\%$

3.13. Las aplicaciones que se ejecutan en un determinado procesador invierten un 30% del tiempo en ejecutar operaciones en coma flotante. Calcular el *speedup* del sistema después de rediseñar el procesador para que dichas operaciones sean 10 veces más rápidas.

Solución: $S = 1,37 \rightarrow \Delta = 37\%$

3.14. Una importante empresa fabricante de sistemas informáticos dispone de dos líneas de producción, una dedicada a sistemas de altas prestaciones y otra dedicada a servidores web. Dentro de dicha empresa el departamento dedicado al sistema de entrada/salida es capaz de aumentar la ganancia en un factor 10, y por otro lado, el departamento dedicado al diseño de procesadores es capaz de reducir el valor de **CPI** desde 4,8 hasta 3,6.

Sabiendo que los equipos de altas prestaciones ocupan el 80% del tiempo en cálculos en el procesador, el 15% del tiempo en accesos a memoria y el 5% en operaciones de E/S, mientras que los servidores web dedican el 10% del tiempo a cálculos en el procesador, el 40% del tiempo en accesos a memoria y el 50% en operaciones de E/S, ¿a qué departamento y en cuál de las dos líneas de producción sería aconsejable invertir un aumento de presupuesto?

Solución: Departamento de E/S en la línea de Servidores Web ($S = 1,81 \rightarrow \Delta = 81\%$)

3.15. Se está valorando la posibilidad de incluir una extensión multimedia en un repertorio de instrucciones. Teniendo en cuenta que esta extensión consigue que las operaciones relacionadas con multimedia se ejecuten 16 veces más rápido:

a. Dibujar un gráfico donde se muestre la evolución del speedup obtenido con dicha mejora en función de la fracción de tiempo que puede emplearse. La gráfica debe incluir al menos los valores correspondientes a las fracciones de tiempo del 10%, 25%, 50%, 75% y 90%.

b. ¿Qué porcentaje de tiempo se debería utilizar la extensión multimedia para conseguir una mejora global del 100%?

Solución:

a. $f = 10\% \rightarrow S = 1,10$; $f = 25\% \rightarrow S = 1,31$; $f = 50\% \rightarrow S = 1,88$; $f = 75\% \rightarrow S = 3,37$; $f = 90\% \rightarrow S = 6,40$

b. $f = 53\%$

3.17. Se dispone de dos procesadores con el mismo repertorio de instrucciones. El primero de ellos es un procesador monociclo que puede trabajar a una frecuencia de 800 MHz mientras que el segundo es un procesador multiciclo de 6 etapas cuyo **CPI** promedio es de 3,2 y que puede trabajar a una frecuencia de 2,8 GHz.

a. ¿Qué procesador tiene un mayor rendimiento?

b. ¿Cuál es el incremento relativo de rendimiento del mejor procesador respecto del peor?

Solución:

a. El segundo $\rightarrow R = 875$ MIPS

b. $\Delta = 9\%$

3.18 Se dispone de las siguientes medidas obtenidas tras ejecutar un programa en dos computadores con arquitecturas distintas:

	Computador A	Computador B
Nº de Instrucciones	1000 millones	800 millones
Frecuencia de reloj	4 GHz	4 GHz
CPI	1,0	1,2

- ¿Qué computador tiene un valor de **MIPS** más elevado?
- ¿Qué computador es más rápido?
- ¿Qué computador presenta las mejores prestaciones?

Solución:

- a. Computador A (4000 MIPS); b. Computador B ($t_{CPU} = 240$ ms); c. Computador B (es más rápido)

3.19 Estamos planteando realizar dos modificaciones de diseño en un procesador y que afectan a la **ALU** y a la unidad en coma flotante. Las características de dichas modificaciones son:

- » Mejorar la **ALU** de manera que las instrucciones aritmético-lógicas pasen de **CPI = 2** a **CPI = 1,6**.
- » Mejorar la **FPU** (unidad en coma flotante) para que ejecute sus instrucciones al doble de velocidad.

Este procesador ejecuta el 45% del tiempo instrucciones aritmético-lógicas y el 10% del tiempo instrucciones en coma flotante.

- Calcular el *speedup* del sistema obtenido con cada una de las mejoras.
- Calcular el *speedup* del sistema obtenido aplicando las dos mejoras simultáneamente.

Solución:

- a. Unidad ALU: $S = 1,10 \rightarrow \Delta = 10\%$; Unidad FP: $S = 1,05 \rightarrow \Delta = 5\%$
 b. $S = 1,16 \rightarrow \Delta = 16\%$

Bloque II: TÉCNICAS DE AUMENTO DE PRESTACIONES

Tema 4: Procesadores segmentados

4.1 El objetivo de la segmentación es conseguir que el valor de **CPI** sea lo más elevado posible. ¿VERDADERO o FALSO?

Solución: FALSO

4.2 En un procesador segmentado de 5 etapas el valor ideal de **CPI** es 5. ¿VERDADERO o FALSO?

Solución: FALSO

4.3 Los riesgos de datos de tipo **WAW** se pueden producir cuando las instrucciones difieren en el número de etapas o se ejecutan fuera de orden. ¿VERDADERO o FALSO?

Solución: VERDADERO

4.4 En un procesador segmentado los denominados *registros de segmentación* almacenan los resultados de cada etapa junto con las señales de control. ¿VERDADERO o FALSO?

Solución: VERDADERO

4.5 En la planificación dinámica distribuida los operandos pueden permanecer en las *estaciones de reserva* a la espera de que el resto de instrucciones escriban sus resultados en el **CDB**. ¿VERDADERO o FALSO?

Solución: VERDADERO

4.6 La técnica del *salto retardado* o *relleno de ranura* puede considerarse como una técnica de planificación estática de instrucciones. ¿VERDADERO o FALSO?

Solución: VERDADERO

4.7 En la planificación dinámica distribuida las instrucciones se pueden emitir fuera de orden utilizando el *algoritmo de Tomasulo*. ¿VERDADERO o FALSO?

Solución: FALSO

4.8. A diferencia de la planificación estática, en la planificación dinámica las instrucciones se pueden emitir aunque no dispongan de sus operandos. ¿VERDADERO o FALSO?

Solución: VERDADERO

4.9. Dentro de un procesador segmentado de 5 etapas (**F, D, X, M** y **W**), ¿en qué etapa se utiliza la estructura denominada *Branch Target Buffer (BTB)*?

Solución: Etapa F

4.10. ¿Qué nombre recibe la situación en la que dos instrucciones distintas necesitan acceder al mismo recurso hardware?

Solución: Riesgo estructural

4.11. ¿Qué nombre recibe la solución hardware que pretende disminuir el número de paradas necesario para resolver un riesgo de datos de tipo **RAW**?

Solución: Adelantamiento de datos

4.12. En el siguiente fragmento de código hay un riesgo de datos de tipo **RAW** que se resuelve mediante paradas. Suponiendo que no hay riesgos estructurales y que se trata de un procesador segmentado de 5 etapas, ¿cuántos ciclos de penalización supone esta parada?

```
LW R1, 100(R0)
ADD R3, R2, R1
```

Solución: 2 ciclos

4.13. Cuántos ciclos de parada se producen en la ejecución de esta secuencia de instrucciones en un procesador segmentado de 5 etapas considerando únicamente riesgos de tipo **RAW**?

```
SW R3, 100(R0)
ADD R3, R2, R1
```

Solución: 0 ciclos

4.14. Cuántos ciclos de parada se producen en la ejecución de esta secuencia de instrucciones en un procesador segmentado de 5 etapas considerando únicamente riesgos de tipo **RAW**?

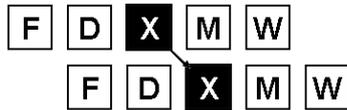
```
ADD R3, R2, R1
SW R3, 100(R0)
```

Solución: 2 ciclos

4.15. Disponemos de un procesador segmentado de 5 etapas implementado con adelantamiento de datos. ¿Cuál sería el adelantamiento adecuado en la siguiente secuencia de instrucciones?

```
ADD R3, R2, R1
ADD R3, R2, R3
```

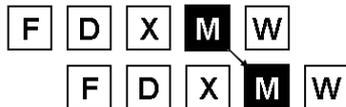
Solución:



4.16. Disponemos de un procesador segmentado de 5 etapas implementado con adelantamiento de datos. ¿Cuál sería el adelantamiento adecuado en la siguiente secuencia de instrucciones?

```
AND R3, R2, R1
SW R3, 100(R0)
```

Solución:



4.17. Se dispone de un procesador multiciclo de 5 etapas con un **CPI** promedio de 3,6 y cuya frecuencia de funcionamiento es de 1,2 GHz.

a. Calcular el tiempo de ejecución de un código compuesto por 200 millones de instrucciones.

Si se sustituye el anterior procesador por un procesador segmentado de 5 etapas cuya frecuencia de funcionamiento es de 1 GHz:

b. Calcular nuevamente el tiempo de ejecución del código anterior.

c. Calcular la ganancia que ha supuesto el uso del procesador segmentado respecto del procesador multiciclo.

Solución:

a. $t_{CPU} = 0,6$ s; b. $t_{CPU} = 0,2$ s; c. $G = 3$

4.18. Disponemos de un procesador segmentado diseñado para resolver todos los riesgos mediante paradas. Ejecutamos en este procesador una aplicación con las siguientes características:

- » Un 5% de las instrucciones provoca riesgos estructurales con una penalización de 1 ciclo.
- » Un 15% de las instrucciones provoca riesgos de tipo **RAW** con una penalización de 2 ciclos.
- » Un 30% de las instrucciones son saltos condicionales con una penalización de 3 ciclos.

a. Determinar el **CPI efectivo** suponiendo que el **CPI ideal** es 1.

b. Determinar la pérdida de ganancia que se produce.

Solución:

a. $CPI = 2,25$; b. $G_{efectivo/ideal} = 0,44$ ($\Delta = -56\%$)

4.19 El siguiente fragmento de código se ejecuta en un procesador segmentado de 5 etapas donde cada instrucción se ejecuta utilizando las cinco etapas (**F, D, X, M y W**):

```

I1 LW    R1, 0(R0)
I2 LW    R2, 100(R0)
I3 ADD   R3, R1, R2
I4 SUB   R4, R1, R2
I5 AND   R5, R3, R4
I6 ADD   R6, R1, R4
I7 SW    R6, 200(R0)
I8 BEQ   R6, R0, etiqueta

```

- Señalar los posibles riesgos de tipo **RAW** que pueden aparecer.
- Si todos los riesgos se resuelven mediante paradas, determinar la pérdida de ganancia que se produce.

Solución:

- I3 con I2 por R2; I5 con I4 por R4; I7 con I6 por R6
- $G = 0,67$ ($\Delta = -33\%$)

4.20 El siguiente fragmento de código se ejecuta en un procesador segmentado de 5 etapas donde cada instrucción se ejecuta utilizando las cinco etapas (**F, D, X, M y W**):

```

I1 LW    R1, 100(R0)
I2 LW    R2, 200(R0)
I3 ADD   R5, R1, R2
I4 SW    R5, 100(R0)
I5 SUB   R4, R1, R2
I6 SW    R4, 200(R0)
I7 ADD   R6, R5, R4

```

Si no tenemos en cuenta ningún tipo de riesgo:

- ¿Cuál sería el valor de **CPI** para este fragmento de código?
- Si únicamente tenemos en cuenta los riesgos de tipo **RAW** y los resolvemos mediante paradas:
- ¿Cuántos ciclos se necesitarán para ejecutar el código anterior?
 - ¿Cuál ha sido la pérdida de ganancia provocada por las paradas?
 - Además de las paradas, ¿qué otras alternativas existen para resolver los riesgos de tipo **RAW**?

Solución:

- $CPI = 1,57$; **b.** $t = 17$ ciclos $\rightarrow CPI = 2,42$; **c.** $G_{con/sin} = 0,65$ ($\Delta = -35\%$)
- Solución hardware: adelantamiento de datos. Solución software: reordenamiento de código

4.21 El siguiente fragmento de código se ejecuta en un procesador segmentado de 5 etapas donde cada instrucción se ejecuta utilizando las cinco etapas (**F, D, X, M y W**):

```

I1 LW    R2, 0(R0)
I2 LW    R3, 100(R0)
I3 ADD   R4, R2, R3
I4 SUB   R5, R4, R6
I5 LW    R7, 0(R1)
I6 SUB   R8, R11, R7
I7 SW    R8, 100(R1)
I8 ADD   R9, R12, R7
I9 BEQ   R9, R0, etiqueta

```

- Señalar los posibles riesgos de tipo **RAW** que pueden aparecer.
- Si todos los riesgos se resuelven mediante paradas, determinar la pérdida de ganancia que se produce.
- Si las instrucciones tuvieran diferente duración, ¿qué otro tipo de riesgos habría que considerar?

Solución:

- I3 con I2 por R3; I4 con I3 por R4; I6 con I5 por R7; I7 con I6 por R8; I9 con I8 por R9
- $G = 0,56 \rightarrow \Delta = -44\%$; c. Riesgos de tipo **WAW**

4.22 Consideremos dos bucles “**for**” anidados donde el bucle exterior se ejecuta 10 veces y el interior 20. Esto supone un total de 210 instrucciones de bifurcación (200 para el bucle interior y 10 para el bucle exterior). Determinar el porcentaje de aciertos en las siguientes estrategias de predicción de saltos:

- Predicción estática, donde siempre se toma el salto.
- Predicción dinámica de un bit, donde el estado inicial de ambos bucles es de tomar el salto.
- Predicción dinámica de dos bits, donde el estado inicial de ambos bucles es de tomar el salto.

Solución:

- TA = 94%; b. TA = 90%; c. TA = 94%

4.23 Un procesador segmentado que funciona a una frecuencia de 500 MHz está ejecutando un código con las siguientes características:

- » El 4% de las instrucciones provoca una penalización de 100 ns.
- » El 25% de las instrucciones son accesos a memoria donde el 6% de ellas provoca una penalización de 110 ns.

- Determinar el **CPI efectivo** suponiendo que el **CPI ideal** es 1.
- Determinar la pérdida de ganancia que se produce.

Solución:

- CPI = 3,825; b. $G_{\text{efectivo/ideal}} = 0,26$ ($\Delta = -74\%$)

4.24. El siguiente fragmento de código se ejecuta en un procesador segmentado de cinco etapas (F, D, X, M y W) donde cada instrucción se ejecuta pasando por todas ellas:

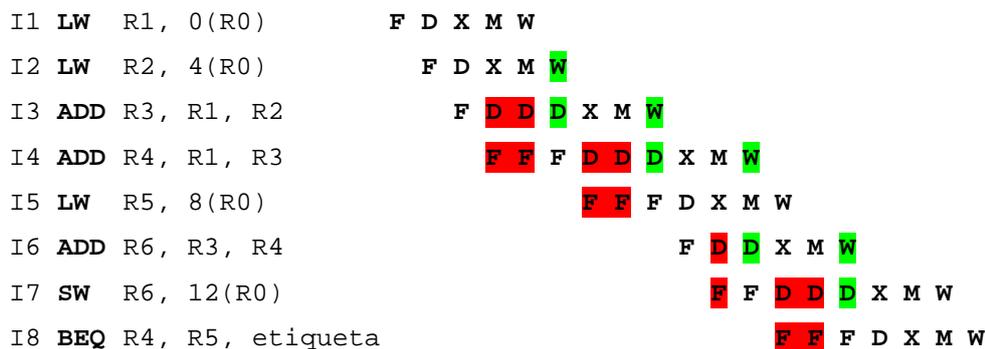
```

I1 LW R1, 0(R0)
I2 LW R2, 4(R0)
I3 ADD R3, R1, R2
I4 ADD R4, R1, R3
I5 LW R5, 8(R0)
I6 ADD R6, R3, R4
I7 SW R6, 12(R0)
I8 BEQ R4, R5, etiqueta
    
```

- a. ¿Cuántos ciclos se necesitarán para ejecutar el código anterior teniendo en cuenta únicamente los riesgos de datos y resolviéndolos mediante paradas?
- b. Si para resolver los riesgos utilizamos también la técnica del adelantamiento de datos, ¿cuántos ciclos se necesitarán ahora para ejecutarlo?
- c. ¿Cuál es la ganancia en rendimiento obtenida tras introducir el adelantamiento de datos? Dibujar en un diagrama de tiempos la evolución de la secuencia de instrucciones en cada caso.

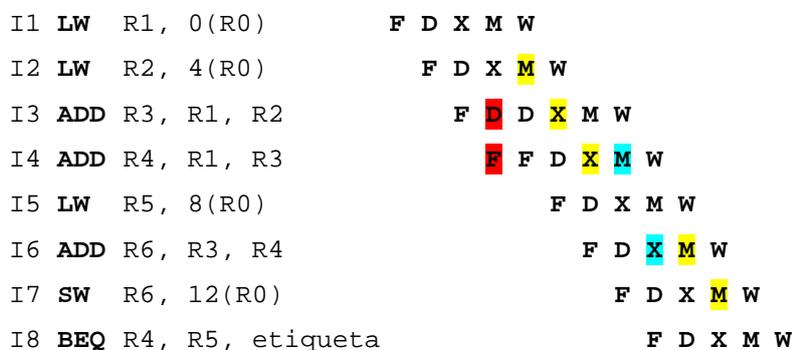
Solución:

a. Parando para resolver riesgos de datos de tipo RAW:



nº ciclos = 19

b. Con adelantamiento de datos:



nº ciclos = 13

c. $G = 1,46 \rightarrow \Delta = 46\%$

4.25 Un procesador que funciona a una frecuencia de 1 GHz y con un **CPI** ideal de 1 está ejecutando un código que consiste en un bucle “**for**” de 10 instrucciones. Si el bucle se ejecuta 1000 veces y la penalización por cada salto condicional (**BEQ**) es de 3 ciclos, calcular el tiempo de ejecución del código considerando las siguientes estrategias de predicción de saltos:

- Sin predicción de saltos.
- Predicción estática, donde nunca se toma el salto.
- Predicción dinámica de un bit, donde el estado inicial es de no tomar el salto.

Solución:

Porcentaje de instrucciones que penalizan (**BEQ**): 10%.

- Tasa de fallos del predictor = 100%: $CPI = 1,30 \rightarrow t_{CPU} = 13 \mu s$
- Tasa de fallos del predictor = 99,9%: $CPI \approx 1,30 \rightarrow t_{CPU} \approx 13 \mu s$
- Tasa de fallos del predictor = 0,2%: $CPI \approx 1,00 \rightarrow t_{CPU} \approx 10 \mu s$

4.26 Un procesador segmentado cuya frecuencia es de 2 GHz y con un **CPI** ideal está ejecutando un código de un millón de instrucciones. Se sabe que el 20% del código provoca riesgos de datos que se resuelven con paradas de 2 ciclos y el 50% son saltos que se resuelven con paradas de 3 ciclos.

- Calcular el rendimiento en **MIPS**.

Si se introduce un mecanismo de adelantamiento de datos que soluciona el 90% de los riesgos de datos y un mecanismo de predicción de saltos que acierta el 80% de las veces:

- Calcular el rendimiento final y compararlo con el valor anterior.

Solución:

- $CPI = 2,90 \rightarrow R = 689,66 \text{ MIPS}$
- $CPI = 1,34 \rightarrow R = 1492,53 \text{ MIPS}$ ($G = 2,16 \rightarrow \Delta = 116\%$)

Tema 5: Arquitecturas monoprocesador avanzadas

5.1 El incremento de rendimiento de un procesador hipersegmentado respecto de un procesador segmentado depende del número de etapas que podamos añadir en la ruta de datos. ¿VERDADERO o FALSO?

Solución: FALSO

5.2 El incremento de rendimiento de un procesador superescalar respecto de un procesador segmentado depende del número de instrucciones que podamos emitir simultáneamente. ¿VERDADERO o FALSO?

Solución: VERDADERO

5.3 La emisión de instrucciones en un procesador superescalar es dinámica mientras que la emisión de instrucciones en un procesador **VLIW** es estática. ¿VERDADERO o FALSO?

Solución: VERDADERO

5.4 En la arquitectura **IA64** se reordena y optimiza el flujo de instrucciones en tiempo de ejecución. ¿VERDADERO o FALSO?

Solución: FALSO

5.5 La ejecución con predicados permite escoger de manera adecuada cuál de las dos ramas de una instrucción salto se debe tomar. ¿VERDADERO o FALSO?

Solución: FALSO

5.6 Los procesadores vectoriales utilizan una **ALU** segmentada para realizar la misma operación sobre datos distintos. ¿VERDADERO o FALSO?

Solución: VERDADERO

5.7 Un determinado procesador superescalar puede emitir hasta 4 instrucciones por ciclo. ¿Cuál será su valor de **CPI** ideal?

Solución: CPI = 0,25

5.8. ¿Cuál es la máxima ganancia que se puede obtener en un sistema donde se ha sustituido un procesador segmentado de 5 etapas por otro procesador superescalado de 6 etapas capaz de emitir 4 instrucciones por ciclo?

Solución: $G = 4$

5.9. ¿Qué nombre recibe la arquitectura en la que el compilador empaqueta varias instrucciones en una sola?

Solución: VLIW

5.10. ¿Qué nombre recibe la técnica que permite ejecutar instrucciones que dependen de predicciones de saltos?

Solución: Especulación

5.11. Un computador con un procesador segmentado de 6 etapas y que funciona a una frecuencia de 800 MHz está ejecutando un benchmark compuesto por 250 millones de instrucciones de las cuales el 80% son operaciones en coma flotante.

a. ¿Cuál es su rendimiento expresado en **GFLOPS**?

Si se sustituye el anterior procesador por un procesador hipersegmentado de 15 etapas que puede funcionar a una frecuencia de 2 GHz:

b. ¿Cuál será ahora el rendimiento?

c. ¿Cuál ha sido la ganancia obtenida?

Solución:

a. 0,64 GFLOPS; **b.** 1,60 GFLOPS; **c.** $G = 2,5$ ($\Delta = 150\%$)

5.12. Un determinado sistema se ha diseñado utilizando un *procesador hipersegmentado* de 20 etapas que puede funcionar a una frecuencia de 1 GHz. Para evaluar el rendimiento se ha ejecutado un código compuesto por 100 millones de instrucciones.

a. ¿Cuál será su rendimiento expresado en **MIPS**?

Si sustituimos el anterior procesador por un *procesador superescalado* de 6 etapas capaz de emitir 5 instrucciones por ciclo y que funciona a una frecuencia de 800 MHz,

b. ¿Cuál será ahora su rendimiento expresado en **MIPS**?

c. ¿Cuál es la ganancia del procesador superescalado respecto del procesador hipersegmentado?

d. Si tenemos en cuenta que el sistema utiliza el procesador sólo el 80% del tiempo, ¿cuál es la ganancia del sistema?

Solución:

a. 1000 MIPS; **b.** 4000 MIPS; **c.** $G = 4$ ($\Delta = 300\%$); **d.** $S = 2,5$ ($\Delta = 150\%$)

Bloque III: JERARQUÍA DE MEMORIA

Tema 6: Memoria principal

6.1 La memoria de un computador o sistema suele estar concentrada en un único chip o dispositivo. ¿VERDADERO o FALSO?

Solución: FALSO

6.2 El ancho de banda es una medida del rendimiento de la memoria principal. ¿VERDADERO o FALSO?

Solución: VERDADERO

6.3 El principio de inclusión implica que cualquier información contenida en un nivel de la jerarquía debe estar también en los niveles superiores. ¿VERDADERO o FALSO?

Solución: VERDADERO

6.4 El principio de coherencia implica que las copias de la misma información almacenadas en los diferentes niveles de la jerarquía deben ser iguales. ¿VERDADERO o FALSO?

Solución: VERDADERO

6.5 Las memorias fabricadas con tecnología **SRAM** almacenan más información en menos espacio. ¿VERDADERO o FALSO?

Solución: FALSO

6.6 La organización de la memoria principal en bancos entrelazados permite aumentar la capacidad de la memoria. ¿VERDADERO o FALSO?

Solución: FALSO

6.7 El objetivo de una jerarquía de memoria es ofrecer al procesador una visión de la memoria principal rápida y grande. ¿VERDADERO o FALSO?

Solución: VERDADERO

6.8. ¿Cuál es el nombre que recibe la tecnología con la que habitualmente se fabrica una memoria cache?

Solución: SRAM

6.9. ¿Cuáles son las dos propiedades que debe cumplir una jerarquía de memoria?

Solución: Inclusión y coherencia

6.10. ¿Qué nombre recibe la tendencia del procesador a referenciar elementos de memoria que han sido referenciados recientemente?

Solución: Principio de localidad temporal

6.11. ¿Cuántas celdas dentro de un chip de memoria podemos seleccionar con una dirección de 10 bits?

Solución: 1024 celdas

6.12. ¿Qué cantidad de información podemos almacenar en un chip de memoria cuyo tamaño es $1024 \times 1024 \times 8$?

Solución: 8 Mib = 1 MiB

6.13. ¿Dónde se puede encontrar el *controlador de memoria*?

Solución: En el Memory Controller Hub (MCH) o bien en el procesador (CPU)

6.14. ¿Cuántos bits de dirección se necesitan para poder acceder a los datos almacenados en una memoria de 32 TiB?

Solución: 45 bits

6.15. Determinar el tiempo medio de acceso a memoria en una jerarquía compuesta por memoria cache y memoria principal con las siguientes características:

- » El tiempo de acceso a la memoria cache es de 2 ns con una tasa de fallos del 5%.
- » El tiempo de penalización por fallo es de 80 ns.

Solución: $t_{MEM} = 6$ ns

6.16. ¿Cuántos chips de memoria de tamaño $4096 \times 4096 \times 8$ se necesitan para disponer una capacidad de almacenamiento de 64 MiB?

Solución: 4 chips

6.17. ¿Cuál debe ser la máxima tasa de fallos permitida en una memoria cache para que el tiempo medio de acceso a memoria sea inferior a 5 ns sabiendo que su tiempo de acceso es de 2 ns y que el tiempo de penalización por fallo es de 60 ns?

Solución: $TF \leq 5\%$

6.18. Se dispone de una memoria **SDRAM** y una memoria **DDR SDRAM** con las siguientes características:

- » Tiempo de latencia: 10 ciclos.
- » Tiempo de transferencia: 1 ciclo.
- » Bus de datos: 64 bits.
- » Frecuencia del bus: 100 MHz.

Determinar:

- a. El tiempo y el ancho de banda para el acceso a una palabra.
- b. El tiempo y el ancho de banda para el acceso una ráfaga de 4 palabras.

Solución:

- a. SDRAM $\rightarrow t = 110$ ns y BW = 72,73 MB/s; DDR SDRAM $\rightarrow t = 110$ ns y BW = 145,45 MB/s
- b. SDRAM $\rightarrow t = 140$ ns y BW = 228,57 MB/s; DDR SDRAM $\rightarrow t = 120$ ns y BW = 266,67 MB/s

6.19. Se dispone de una memoria **SDRAM** con las siguientes características:

- » Tiempo de latencia: 10 ciclos.
- » Tiempo de transferencia: 1 ciclo.
- » Bus de datos: 64 bits.
- » Frecuencia del bus: 100 MHz.

Determinar:

- a. El tiempo y el ancho de banda para el acceso a 4 palabras sin entrelazado.
- b. El tiempo y el ancho de banda para el acceso a 4 palabras con entrelazado.

Solución:

- a. $t = 440$ ns y BW = 72,73 MB/s
- b. $t = 140$ ns y BW = 228,57 MB/s

Tema 7: - Memoria cache

7.1 Las memorias cache se fabrican con tecnología **SRAM** por ser más rápida que la tecnología **SDRAM**. ¿VERDADERO o FALSO?

Solución: VERDADERO

7.2 El tamaño del marco no influye en el tiempo de penalización por fallo de una memoria cache. ¿VERDADERO o FALSO?

Solución: FALSO

7.3 El objetivo que se pretende lograr con una memoria cache multinivel es conseguir un primer nivel con un tiempo de acierto pequeño y reducir el tiempo de penalización por fallo. ¿VERDADERO o FALSO?

Solución: VERDADERO

7.4 La decisión en cuanto a la política de emplazamiento en una memoria cache afecta a su tasa de fallos. ¿VERDADERO o FALSO?

Solución: VERDADERO

7.5 Una política de emplazamiento asociativo reduce los fallos de conflicto de una memoria cache. ¿VERDADERO o FALSO?

Solución: VERDADERO

7.6 En la política de escritura directa sólo se actualiza el siguiente nivel de una jerarquía de memoria cuando el bloque modificado es reemplazado. ¿VERDADERO o FALSO?

Solución: FALSO

7.7 En un sistema con direcciones físicas de 32 bits y una memoria cache de 256 KiB diseñada con una política de emplazamiento asociativo de 8 vías y bloques de 1KiB, ¿cuántos bits de la dirección física se utilizan para el campo correspondiente a la etiqueta?

Solución: 17 bits

7.8. ¿Cuántos datos puede almacenar una memoria cache con 2048 marcos y bloques de 512 bytes?

Solución: 1 MiB

7.9. ¿Cuál es la técnica más eficiente a la hora de implementar una política de reemplazamiento en una cache con emplazamiento asociativo?

Solución: LRU (Least Recently Used)

7.10. En un sistema con direcciones físicas de 32 bits y una memoria cache con 2048 marcos diseñada con una política de emplazamiento directo, ¿cuántos bits de la dirección física se utilizan para el campo correspondiente al índice de marco?

Solución: 11 bits

7.11. En un sistema con direcciones físicas de 32 bits y una memoria cache diseñada con una política de emplazamiento asociativo y bloques de 512 bytes, ¿cuántos bits de la dirección física se utilizan para el campo correspondiente a la etiqueta?

Solución: 23 bits

7.12. ¿Cuál es el tamaño destinado a los datos en una memoria cache con emplazamiento directo que utiliza 10 bits para el campo del offset y 8 bits para el índice de marco?

Solución: 256 KiB

7.13. ¿Cuál es el espacio para datos en una memoria cache con emplazamiento asociativo por conjuntos de 4 vías que utiliza 10 bits para el campo del offset y 8 bits para el índice de conjunto?

Solución: 1 MiB

7.14. Un computador con direcciones físicas de 32 bits posee una memoria cache que se ha diseñado con una política de emplazamiento directo, con 1024 marcos para albergar bloques de 128 bytes y con un bit de información.

- a. ¿Cuántos bits componen cada uno de los campos en que se divide la dirección?
- b. ¿Cuál es el tamaño total de la memoria cache considerando el espacio necesario para los datos, las etiquetas y los bits de información?

Solución:

a. ETIQUETA = 15 bits, INDICE = 10 bits, OFFSET = 7 bits

b. Memoria_{DATOS} + Memoria_{TAG} + Memoria_{INFO} = 1024 Kib + 15 Kib + 1 Kib = 1040 Kib (130 KiB)

7.15. Se tiene un sistema cuyo un procesador dispone de un único nivel de cache, con un tiempo de acceso $t_{L1} = 1$ ns, una tasa de fallos $TF_1 = 10\%$ y una penalización por fallo $t_{ppf_1} = 60$ ns.

- Determinar el tiempo medio de acceso a memoria.
- Determinar nuevamente el tiempo medio de acceso a memoria si se decide incluir un segundo nivel de cache con un tiempo de acceso $t_{L2} = 12$ ns, una tasa de fallos $TF_2 = 15\%$ y una penalización por fallo $t_{ppf_2} = 90$ ns.
- Determinar la ganancia que se obtiene al introducir el segundo nivel de cache.

Solución:

a. $t_{MEM} = 7$ ns; b. $t_{MEM} = 3,55$ ns; c. $G = 1,97$ ($\Delta = 97\%$)

7.16. Un determinado computador con direcciones físicas de 32 bits dispone de una memoria cache de 32 KiB con un tiempo de acceso de 2 ns y una tasa de fallos del 1,6%. La memoria principal del computador es de 4 GiB y el tiempo de acceso a 64 bits de datos es de 60 ns.

Si la memoria cache está organizada con marcos de 64 B, con una política de emplazamiento asociativo por conjuntos de 4 vías y con una política de post-escritura:

- ¿Cuál es el tiempo medio de acceso a memoria si tenemos en cuenta que el 25% de los bloques son modificados mientras están en la cache?
- ¿Cuántos bits componen cada uno de los campos en que se divide la dirección?
- ¿Qué cantidad de memoria adicional expresada en Kib se necesita para incluir las etiquetas en la memoria cache?

Solución:

a. $t_{MEM} = 11,6$ ns

b. ETIQUETA = 19 bits, INDICE = 7 bits, OFFSET = 6 bits

c. Memoria_{TAG} = 9,5 Kib

7.17. Disponemos de un sistema con direcciones de 32 bits, una memoria principal de 4 GiB y una memoria cache de 64 MiB organizada en bloques de 1 KiB. Buscar en la memoria cache el dato cuya dirección es $E10A083F_{hex}$ considerando cada una de las siguientes políticas de emplazamiento:

- Directo.
- Asociativo.
- Asociativo por conjuntos de 4 vías.

Solución:

a. ETIQUETA = 6 bits, INDICE = 16 bits, OFFSET = 10 bits

b. ETIQUETA = 22 bits, OFFSET = 10 bits

c. ETIQUETA = 8 bits, INDICE = 14 bits, OFFSET = 10 bits

7.18. Tenemos una memoria principal de 4 KiB dividida en bloques de 16 bytes y una memoria cache de 128 bytes. Escribir en la memoria cache el bloque al que pertenece el byte cuya dirección es $E53_{\text{hex}}$ utilizando las siguientes políticas de emplazamiento:

- Directo.
- Asociativo.
- Asociativo por conjuntos de 2 vías.

Solución:

- ETIQUETA = 5 bits, INDICE = 3 bits, OFFSET = 4 bits
- ETIQUETA = 8 bits, OFFSET = 4 bits
- ETIQUETA = 6 bits, INDICE = 2 bits, OFFSET = 4 bits

7.19. Un computador con direcciones de 32 bits posee un único nivel de memoria cache con un tamaño de 64 KiB para guardar datos y con un tiempo de acceso de 10 ns. Dicha memoria cache se ha diseñado con una política de emplazamiento directo y con marcos para albergar bloques de 64 bytes.

- ¿Cuál es el número total de marcos en la cache?
- ¿Cuál será el tamaño total de la memoria cache incluyendo el espacio para etiquetas?
- Si el tiempo de acceso a una palabra de 4 B ubicada en la memoria principal es de 80 ns, ¿cuál será el tiempo necesario para resolver un fallo de lectura en la cache?

Solución:

- 1024 marcos; b. Memoria_{DATOS} + Memoria_{TAG} = 66 KiB; c. $t_{\text{MEM}} = 1290$ ns

7.20. Tenemos un procesador que funciona a una frecuencia de reloj de 2,5 GHz y cuya jerarquía de memoria está compuesta por un único nivel de memoria cache unificada, con una tasa de fallos del 12% y con un tamaño de bloque de 16 palabras. El tiempo de acceso a la memoria cache es de 4 ns y el tiempo de acceso a una palabra en memoria principal es de 90 ns.

- Calcular el tiempo medio de acceso a memoria si la cache se ha diseñado con una política de escritura directa y teniendo en cuenta que en este sistema, en media, un 70% de los accesos a memoria son lecturas y un 30% son escrituras.
- Determinar la ganancia que supone diseñar la cache con una política de post-escritura, teniendo en cuenta que el 10% de los bloques son modificados mientras están en la cache (bloques sucios).
- Determinar nuevamente el tiempo medio de acceso a memoria si ahora el sistema dispone de dos niveles de memoria cache:
 - » Una cache de nivel 1 (L1) con política de escritura directa, con un tamaño de bloque de 8 palabras, un tiempo de acceso de 1 ns y una tasa de fallos del 5%.
 - » Una cache de nivel 2 (L2) con un tamaño de bloque de 16 palabras, un tiempo de acceso de 9 ns, una tasa de fallos del 9% y con una política de post-escritura con un 26% de bloques que son modificados mientras están ubicados en ella.

Al igual que antes, el tiempo de acceso a una palabra en memoria principal es de 90 ns y, en media, un 70% de los accesos a memoria son lecturas y un 30% son escrituras.

d. Calcular la ganancia de este último sistema respecto de otro sistema diseñado sin memoria cache.

Solución:

a. $t_{MEM} = 203,8 \text{ ns}$

b. $t_{MEM} = 194,08 \text{ ns} \rightarrow G = 1,05 (\Delta = 5\%)$

c. $t_{MEM} = 72,62 \text{ ns}$

d. Sin cache: $t_{MEM} = 90 \text{ ns} \rightarrow G_{con/sin} = 1,24 (\Delta = 24\%)$

7.21. Se dispone de un sistema con direcciones físicas de 32 bits y con una memoria principal cuyo tiempo de acceso por cada 16 bytes transferidos es de 60 ns. Se desea introducir en el sistema una jerarquía de memoria incorporando una memoria cache con una capacidad de 1 MiB para datos, con una política de emplazamiento directo y con un tiempo de acceso de 2 ns. Para ello se está planteando dos posibilidades:

- » Organizar la memoria cache en bloques de 1 KiB, en cuyo caso la tasa de fallos sería del 1,2%.
- » Organizar la memoria cache en bloques de 256 B, en cuyo caso la tasa de fallos sería del 2,8%.

Si consideramos sólo las lecturas en memoria, para cada uno de los dos casos:

- a. ¿Cuál es el tiempo medio de acceso a memoria?
- b. ¿Cuál es la ganancia del mejor de los casos respecto del peor?
- c. ¿Cuántos bits componen cada uno de los campos en que se divide la dirección?
- d. ¿Qué cantidad de memoria expresada en Kib se necesita para incluir las etiquetas en la memoria cache?

Solución:

a. Opción 1: $t_{MEM} = 48,08 \text{ ns}$

a. Opción 2: $t_{MEM} = 28,88 \text{ ns}$

b. $G_{2/1} = 1,66 (\Delta = 66\%)$

c. Opción 1: ETIQUETA = 12 bits, INDICE = 10 bits, OFFSET = 10 bits

c. Opción 2: ETIQUETA = 12 bits, INDICE = 12 bits, OFFSET = 8 bits

d. Opción 1: Memoria_{TAG} = 12 Kib

d. Opción 2: Memoria_{TAG} = 48 Kib

Tema 8: Memoria virtual

8.1 La memoria virtual permite ejecutar procesos que necesitan más memoria principal que la disponible. ¿VERDADERO o FALSO?

Solución: VERDADERO

8.2 La memoria virtual se ubica en el disco duro y se fabrica con tecnología **SRAM** por ser más rápida que la tecnología magnética. ¿VERDADERO o FALSO?

Solución: FALSO

8.3 Dentro de las decisiones de diseño de la memoria virtual se encuentra la de escoger la política de emplazamiento más adecuada. ¿VERDADERO o FALSO?

Solución: FALSO

8.4 La política de escritura de la memoria virtual es siempre de post-escritura debido a la gran cantidad de datos que hay que manejar. ¿VERDADERO o FALSO?

Solución: VERDADERO

8.5 La fragmentación es el desaprovechamiento del espacio en la memoria principal. ¿VERDADERO o FALSO?

Solución: VERDADERO

8.6 En un sistema de memoria virtual paginada el proceso de traducción consiste en averiguar en qué marco de la memoria principal se aloja la página virtual solicitada. ¿VERDADERO o FALSO?

Solución: VERDADERO

8.7 En la traducción de direcciones en un sistema de memoria virtual segmentada se debe comprobar siempre que la longitud del segmento es mayor que el offset de segmento. ¿VERDADERO o FALSO?

Solución: VERDADERO

8.8 En un sistema de memoria virtual paginada, la dirección virtual se divide en dos campos que son el número de marco y el offset de página. ¿VERDADERO o FALSO?

Solución: FALSO

8.9 En un sistema de memoria virtual paginada se produce un fallo de página cuando el bit de validez asociado a una página virtual está desactivado. ¿VERDADERO o FALSO?

Solución: VERDADERO

8.10 En un sistema de memoria virtual paginada con traducción mixta se produce un fallo de página cuando la página buscada no se encuentra en la **TLB**. ¿VERDADERO o FALSO?

Solución: FALSO

8.11 En un sistema de memoria virtual paginada con traducción mixta se puede producir un acierto de **TLB** seguido de un fallo de página. ¿VERDADERO o FALSO?

Solución: FALSO

8.12 La gestión de memoria es más sencilla en un sistema de memoria virtual segmentada que en un sistema de memoria virtual paginada. ¿VERDADERO o FALSO?

Solución: FALSO

8.13 La fragmentación interna es uno de los problemas que se producen en la memoria virtual segmentada. ¿VERDADERO o FALSO?

Solución: FALSO

8.14 En un sistema de memoria virtual segmentada la traducción de direcciones siempre es directa mediante tabla de segmentos. ¿VERDADERO o FALSO?

Solución: VERDADERO

8.15 ¿Qué nombre recibe la estructura que almacena toda la información necesaria para la traducción de dirección virtual a dirección física en un sistema de memoria virtual paginada?

Solución: Tabla de páginas

8.16. En un sistema con memoria virtual paginada y traducción directa, si las direcciones virtuales son de 32 bits y las páginas de 4 KiB:

- ¿Cuántas entradas tiene su tabla de páginas?
- Si cada entrada almacena 4 B de información, ¿cuánto espacio ocupa la tabla de páginas en la memoria principal?

Solución:

- a. 2^{20} entradas; b. 4 MiB

8.17. Un computador con sistema de memoria virtual paginada y traducción directa dispone de un único nivel de cache cuyo tiempo de acceso es $t_{L1} = 1$ ns, tiene una tasa de fallos $TF_1 = 10\%$ y una penalización por fallo $t_{ppf_1} = 90$ ns. Si el tiempo de acceso a la memoria principal es de 60 ns:

- Determinar el tiempo medio de acceso a memoria.
- Determinar nuevamente el tiempo medio de acceso a memoria si se decide incluir una **TLB** con un tiempo de acceso $t_{TLB} = 4$ ns y una tasa de fallos $TF_{TLB} = 10\%$.
- Determinar la ganancia que se obtiene al introducir la **TLB**.

Solución:

- a. $t_{MEM} = 70$ ns; b. $t_{MEM} = 20$ ns; c. $G_{con/sin} = 3,5$ ($\Delta = 250\%$)

8.18. Disponemos de un computador dotado de memoria virtual paginada con sistema de traducción mixta mediante **TLB**. Las direcciones virtuales son de 32 bits y las direcciones físicas de 24 bits. Si tenemos en cuenta que cada dirección corresponde a un byte:

- ¿Cuál es la máxima cantidad de memoria virtual disponible?

Si el tamaño de página es de 64 KiB:

- ¿Cuál es el número de páginas virtuales disponibles?
- ¿Cuál es el tamaño de la memoria principal?
- ¿Cuál es el número de marcos en memoria principal?
- Si en un determinado instante el contenido de la **TLB** es el siguiente (valores hexadecimales):

Nº Página	Nº Marco
A F F 0	0 0
1 A F F	F 0
1 A 0 0	A 3
0 0 F F	F F

¿Cuál es la dirección física que corresponde a la dirección virtual $1AFF00FF_{hex}$?

Solución:

- a. 4 GiB; b. 2^{16} páginas; c. 16 MiB; d. 2^8 marcos; e. DF: $F000FF_{hex}$

8.19 En un determinado instante un procesador con sistema de memoria virtual segmentada solicita un dato cuya dirección virtual es $ADACF022B_{HEX}$. Si los segmentos tienen un tamaño máximo de 64 KiB y la correspondiente entrada en su tabla de segmentos contiene la siguiente información:

Validez	Modificación	Uso	Longitud	Dir. Inicio
1	0	1	03F0	10DDF31

- a. ¿Cuál es el tamaño de la memoria virtual?
- b. ¿Se encuentra el segmento cargado en memoria principal?
- c. ¿Se trata de un acceso permitido?
- d. ¿Cuál es la dirección física correspondiente?

Solución:

- a. 64 GiB
- b. Bit de validez = 1 → el segmento se encuentra en memoria principal
- c. longitud = $03F0_{hex} > offset = 022B_{hex} \rightarrow$ acceso permitido
- d. DF: $10DE15C_{hex}$

8.20 Un computador sin memoria cache emplea un sistema de memoria virtual paginada con mecanismo de traducción mixta mediante **TLB**. El espacio de direcciones virtuales es de 32 bits con páginas de 4 KiB. El tiempo de acceso a la memoria principal es de 50 ns y el tiempo empleado en acceder a la **TLB** es de 5 ns.

- a. Determinar el tiempo medio de acceso a la información almacenada en memoria considerando una tasa de aciertos en la TLB del 85%.
- b. Si la **TLB** posee únicamente cuatro entradas (inicialmente vacías), determinar la tasa de aciertos en la **TLB** en el caso de emplear una política de reemplazamiento **FIFO** y en el caso de emplear una política de reemplazamiento **LRU**, cuando se solicita la siguiente secuencia de direcciones virtuales (en hexadecimal):

Dirección	Dirección	Dirección
1 00F010A0	5 000F4001	9 10FFF010
2 010A7FFF	6 00F010A5	10 000F4100
3 00F010A3	7 000BB000	11 00F010A7
4 10FFF000	8 000F4010	12 000F4011

Solución:

- a. $t_{MEM} = 62,5 \text{ ns}$
- b. Política FIFO: TA = 50%; Política LRU: TA = 58%

8.21 En un determinado instante un procesador con sistema de memoria virtual paginada solicita un dato cuya dirección virtual es 1011010101_{bin} . Si las páginas son de 128 B, y el contenido de la Tabla de Páginas es el siguiente:

TABLA DE PÁGINAS				
Nº Página	Validez	Uso	Modificación	Nº Marco
000	0	0	0	111
001	1	1	0	001
010	0	0	0	111
011	1	1	0	011
100	0	0	0	101
101	1	1	0	100
110	1	0	0	110
111	1	1	1	111

- ¿Cuál es el tamaño de la memoria virtual?
- ¿Cuál es el tamaño de la memoria física?
- ¿Se encuentra la página cargada en memoria principal?
- ¿Cuál es la dirección física correspondiente?

Solución:

- 1 KiB
- 1 KiB
- Bit de validez = 1 → la página se encuentra en memoria principal
- DF: 1001010101_{bin}

8.22 Un computador emplea un sistema de memoria virtual paginada con mecanismo de traducción directa. Si el tiempo de acceso a la memoria principal es de 50 ns:

- Determinar el tiempo de traducción de dirección virtual a dirección física.

Si ahora se introduce un mecanismo de traducción mixta mediante **TLB** cuyo tiempo de acceso es de 5 ns y su tasa de aciertos es del 90%:

- Determinar nuevamente el tiempo de traducción de dirección virtual a dirección física.
- Calcular la ganancia que se obtiene al introducir la **TLB**.

Solución:

- $t_{DV \rightarrow DF} = 50 \text{ ns}$; **b.** $t_{DV \rightarrow DF} = 10 \text{ ns}$; **c.** $G_{con/sin} = 5$ ($\Delta = 400\%$)

Bloque IV: ENTRADA Y SALIDA

Tema 9: Sistema de entrada/salida

9.1 El sistema de Entrada/Salida no afecta al rendimiento global de un computador.
• ¿VERDADERO o FALSO?

Solución: FALSO

9.2 En una operación de ENTRADA se escriben datos en la memoria principal mientras que en una operación de SALIDA se leen datos de la memoria. ¿VERDADERO o FALSO?

Solución: VERDADERO

9.3 Direccionar un periférico consiste en seleccionar o identificar un dispositivo sobre el que se va a realizar una operación de E/S. ¿VERDADERO o FALSO?

Solución: VERDADERO

9.4 El rendimiento del sistema de E/S es fácil de evaluar debido a que únicamente depende de la velocidad del procesador. ¿VERDADERO o FALSO?

Solución: FALSO

9.5 La principal misión de un interfaz de E/S es aislar a la CPU y a la memoria de los detalles de operación del periférico. ¿VERDADERO o FALSO?

Solución: VERDADERO

9.6 ¿Qué nombre recibe el tipo de direccionamiento en el que los periféricos se identifican como direcciones de memoria?

Solución: E/S mapeada en memoria

9.7 ¿Qué nombre recibe el elemento hardware que sirve de intermediario entre un periférico y el procesador de un computador?

Solución: Interfaz de dispositivo

9.8. ¿Qué nombre recibe la conexión física entre un periférico y su interfaz?

Solución: Puerto

9.9. ¿Qué nombre recibe el elemento hardware de un computador donde se concentran todos los circuitos integrados que ayudan al procesador gestionar las operaciones de E/S?

Solución: Chipset (ICH – I/O Controller Hub)

9.10. ¿Cuál es el tiempo de latencia de un dispositivo que realiza 50 operaciones/s y cuyo tiempo de transferencia es de 8 ms?

Solución: $t_{latencia} = 12 \text{ ms}$

9.11. ¿Cuál es el tiempo de respuesta de un periférico que realiza 100 operaciones/s?

Solución: $t_{respuesta} = 10 \text{ ms}$

9.12. ¿Cuántos datos se transfieren en 2 ms a través de un periférico cuyo ancho de banda efectivo es de 150 MB/s?

Solución: Datos = 300 kB

9.13. ¿Cuánto tiempo dura una operación de E/S a través de un periférico cuyo ancho de banda efectivo es de 128 Gb/s si queremos transferir 4 MB de datos?

Solución: $t_{E/S} = 0,25 \text{ ms}$

9.14. ¿Cuál es el ancho de banda efectivo de un periférico cuyo tiempo de respuesta transfiriendo bloques de 125 kB es de 5 μs ?

Solución: $BW_{efectivo} = 25 \text{ GB/s}$

9.15. Una determinada unidad de almacenamiento está configurada para manejar bloques de 5 MB. Sabiendo que su rendimiento es de 200 operaciones por segundo:

- a. Determinar el tiempo de respuesta de dicha unidad.
- b. Calcular su ancho de banda efectivo.

Solución:

a. $t_{respuesta} = 5 \text{ ms}$; b. $BW_{efectivo} = 1 \text{ GB/s}$

9.16. Consideremos una unidad de disco duro cuyo ancho de banda es 10 MB/s y su latencia de acceso es de 10 ms. Dicha unidad puede utilizar bloques de 5 kB, 50 kB y 500 kB.

Determinar para cada uno de los diferentes tamaños de bloque:

- El tiempo de respuesta.
- El rendimiento expresado en operaciones por segundo (**ops**).
- El ancho de banda efectivo.
- El tiempo de E/S necesario para transferir 10 MB de datos.

Solución:

- | | | |
|--|--|---|
| a. Bloque 5 kB: $t_{\text{respuesta}} = 10,5 \text{ ms}$; | Bloque 50 kB: $t_{\text{respuesta}} = 15 \text{ ms}$; | Bloque 500 kB: $t_{\text{respuesta}} = 60 \text{ ms}$ |
| b. Bloque 5 kB: $R = 95,24 \text{ ops}$; | Bloque 50 kB: $R = 66,67 \text{ ops}$; | Bloque 500 kB: $R = 16,67 \text{ ops}$ |
| c. Bloque 5 kB: $BW_{\text{efectivo}} = 0,48 \text{ MB/s}$; | Bloque 50 kB: $BW_{\text{efectivo}} = 3,33 \text{ MB/s}$; | Bloque 500 kB: $BW_{\text{efectivo}} = 8,33 \text{ MB/s}$ |
| d. Bloque 5 kB: $t_{\text{E/S}} = 21 \text{ s}$; | Bloque 50 kB: $t_{\text{E/S}} = 3 \text{ s}$; | Bloque 500 kB: $t_{\text{E/S}} = 1,20 \text{ s}$ |

Tema 10: Buses de entrada/salida

10.1 Los buses de Entrada/Salida suelen estar estandarizados y permiten conectar un número indeterminado de dispositivos. ¿VERDADERO o FALSO?

Solución: VERDADERO

10.2 La conexión de todos los dispositivos a un único bus puede provocar incompatibilidades y una pérdida global en el rendimiento del sistema. ¿VERDADERO o FALSO?

Solución: VERDADERO

10.3 En una jerarquía de buses, los más cortos y rápidos deben ser los buses de expansión para poder conectar de manera eficaz cualquier periférico. ¿VERDADERO o FALSO?

Solución: FALSO

10.4 En un computador, el bus de sistema y el bus de memoria se pueden optimizar ya que se conectan a un número fijo de dispositivos de prestaciones conocidas. ¿VERDADERO o FALSO?

Solución: VERDADERO

10.5 El esquema de conexión denominado "*daisy-chain*" corresponde a un protocolo de arbitraje distribuido. ¿VERDADERO o FALSO?

Solución: FALSO

10.6 El incremento de rendimiento de un bus se puede conseguir aumentando su ancho de datos, pero tiene sus limitaciones debido al mayor espacio que ocupa, al incremento de interferencias y al retraso en la propagación de las señales. ¿VERDADERO o FALSO?

Solución: VERDADERO

10.8 Cuanto mayor es la sobrecarga de un bus mayor es la cantidad de información que se puede transmitir por el bus. ¿VERDADERO o FALSO?

Solución: FALSO

10.9. ¿Qué nombre recibe el protocolo de arbitraje donde existe un dispositivo encargado de conceder el uso del bus?

Solución: Arbitraje centralizado

10.10. ¿Qué nombre reciben las líneas de un bus que no tienen un uso exclusivo?

Solución: Líneas multiplexadas

10.11. Desde el punto de vista del sincronismo de un bus, ¿qué protocolo es el más efectivo a la hora de conectar dispositivos de diferentes velocidades?

Solución: Protocolo semisíncrono

10.12. ¿Qué nombre recibe el elemento encargado de interconectar dos dispositivos que utilizan un bus **PCI-e**?

Solución: Switch (conmutador)

10.13. ¿Cuántos dispositivos se pueden conectar a un bus con protocolo de arbitraje centralizado de tipo “daisy-chain”?

Solución: Indefinido

10.14. ¿Cuántos dispositivos se pueden conectar a un bus con protocolo de arbitraje distribuido con 8 líneas de identificación?

Solución: 8 dispositivos

10.15. ¿Cuántos dispositivos se pueden conectar a un bus con protocolo de arbitraje distribuido con 8 líneas para códigos de identificación?

Solución: 256 dispositivos

10.16. ¿Cuál debe ser la frecuencia de funcionamiento de un bus síncrono de 64 bits y que realiza dos transferencias por ciclo para que sea capaz transferir datos a una velocidad de 32 MB/s?

Solución: $f = 2$ MHz

10.17 ¿Qué nombre recibe la información que viaja por el bus y que no corresponde a los datos que se pretende enviar?

Solución: Sobrecarga (*overhead*)

10.18 Un bus cuyo ancho de banda es de 5 GB/s tiene una sobrecarga del 20%. ¿Cuál es su ancho de banda efectivo?

Solución: $BW_{\text{efectivo}} = 4 \text{ GB/s}$

10.19 ¿Cuál es el ancho de banda de un bus síncrono de 64 bits cuya frecuencia de funcionamiento es de 2 MHz y que puede realizar dos transferencias por ciclo?

Solución: $BW = 32 \text{ MB/s}$

10.20 ¿Cuál es el ancho de banda efectivo de un enlace entre dos dispositivos que utilizan un protocolo **PCI-e x16 v 3.0**?

Solución: $BW_{\text{efectivo}} = 15,75 \text{ GB/s}$

10.21 ¿Cuál es el ancho de banda efectivo de un enlace entre dos dispositivos que utilizan un protocolo **HyperTransport x16 v 3.0**?

Solución: $BW_{\text{efectivo}} = 10,4 \text{ GB/s}$

10.22 ¿Cuántos discos que operan a una velocidad de 600 kB/s se pueden conectar a un bus cuyo ancho de banda es de 2 MB/s?

Solución: 3 discos

10.23 Un determinado computador dispone de un bus de entrada/salida de 32 bits que funciona a una frecuencia de 75 MHz, realiza dos transferencias por ciclo y tiene una sobrecarga del 60%. Si se conecta a dicho bus un disco duro que transfiere bloques de 500 kB y que presenta por cada acceso un tiempo de latencia de 10 ms y un tiempo de transferencia de 5 ms:

a. ¿Cuál es el ancho de banda efectivo del bus?

b. ¿Cuál es el ancho de banda disponible en el bus para otros dispositivos después de tener en cuenta las necesidades del disco duro?

Solución:

a. $BW_{\text{BUS}} = 600 \text{ MB/s} \rightarrow BW_{\text{BUS_efectivo}} = 240 \text{ MB/s}$

b. $BW_{\text{HD_efectivo}} = 33,33 \text{ MB/s} \rightarrow BW_{\text{BUS_libre}} = 206,67 \text{ MB/s}$

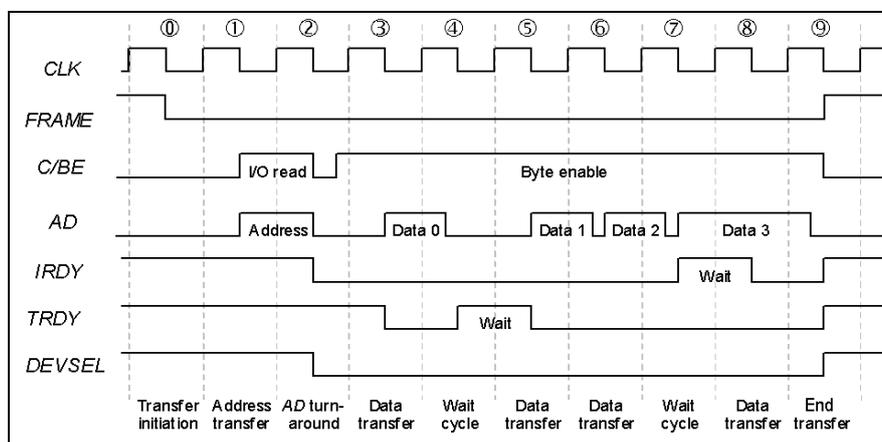
10.24. Un bus de 100 MHz tiene 64 bits de ancho. Los ciclos de arbitraje y control representan una sobrecarga del 40%. Dicho bus está siendo utilizado por una unidad de vídeo configurada con una resolución de 1024×768 píxeles, con una frecuencia de refresco de 70 Hz y que emplea 4 B por píxel.

- a. Calcular el ancho de banda efectivo del bus.
- b. Calcular el ancho de banda neto disponible para otros dispositivos después de tener en cuenta las necesidades de la unidad de pantalla de vídeo.

Solución:

- a. $BW_{BUS} = 800 \text{ MB/s} \rightarrow BW_{BUS_efectivo} = 480 \text{ MB/s}$
- b. $BW_{video} = 220,20 \text{ MB/s} \rightarrow BW_{BUS_libre} \approx 260 \text{ MB/s}$

10.25. Una determinada transferencia de datos a través un bus **PCI** de 64 bits @66 MHz sigue las pautas reflejadas en la figura:



- a. Determinar el ancho de banda del bus.
- b. Determinar el ancho de banda efectivo.
- c. Determinar la sobrecarga que suponen los ciclos de espera y arbitraje.

Solución:

- a. $BW_{BUS} = 528 \text{ MB/s}$
- b. $BW_{BUS_efectivo} = 211,21 \text{ MB/s}$
- c. Sobrecarga = 60%

10.26. Tenemos un monitor “Full HD” con una resolución de 1080×1920 píxeles y con una frecuencia de refresco de 50 Hz, conectado a través de la tarjeta gráfica a un bus **PCIe x8 v2.0**. Si la información necesaria por cada píxel es de 32 bits:

- a. ¿Cuál es el ancho de banda que necesita el monitor?
- b. ¿Cuál es el ancho de banda del bus expresado en GT/s?
- c. ¿Cuántos monitores podemos conectar?

Solución:

- a. $BW_{video} = 414,72 \text{ MB/s}$; b. $BW_{PCI-e} = 5 \text{ GT/s}$; c. 9 monitores

10.27 Disponemos de un computador con un bus de entrada/salida diseñado con un protocolo de arbitraje centralizado del tipo “daisy-chain” de tres hilos (**REQ**, **GNT** y **BSY**). Existen cuatro dispositivos periféricos conectados a este bus, **D1**, **D2**, **D3** y **D4**, siendo el dispositivo **D1** el más cercano al árbitro y **D4** el más alejado. En un determinado instante de tiempo el dispositivo **D4** solicita el bus, 4 ns después lo solicita el dispositivo **D2** y 4 ns más tarde lo hace el dispositivo **D1**. Si las señales tardan 2 ns en desplazarse entre cada dispositivo:

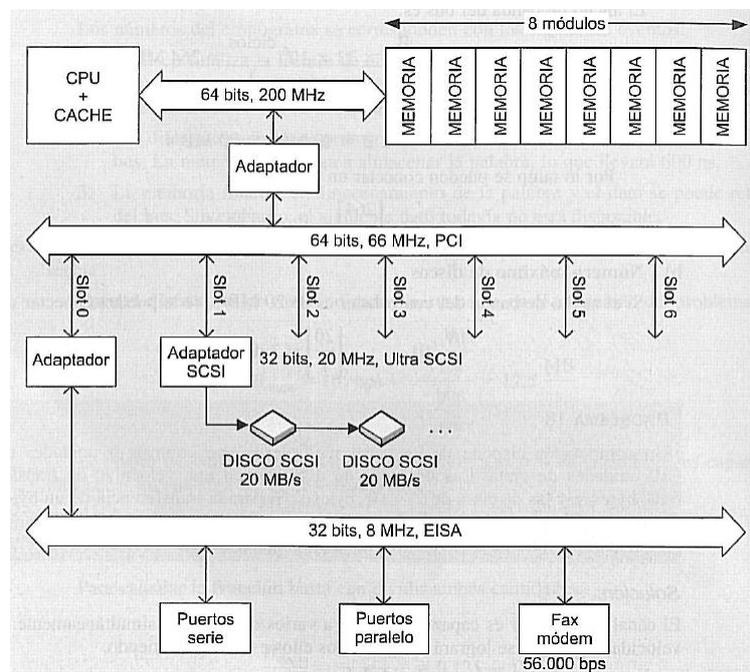
- ¿Qué dispositivo se hará con el control del bus y en qué instante de tiempo?
- Si el dispositivo ganador utiliza el bus durante 50 ns, ¿cuál será el siguiente dispositivo en hacerse con el control del bus y en qué instante de tiempo?

Solución:

- $t = 0$ ns: D4 solicita el bus; $t = 2$ ns: árbitro genera GNT → D2 consigue el bus en $t = 6$ ns
- $t = 56$ ns: D2 libera el bus; $t = 58$ ns: árbitro genera GNT → D1 consigue el bus en $t = 60$ ns

10.28. En la jerarquía de buses del sistema representado en la figura:

- Determinar el ancho de banda de cada uno de los buses.
- Calcular el número de dispositivos **SCSI** que se pueden conectar.
- Calcular el ancho de banda disponible en el bus **PCI** para otros dispositivos



Solución:

- $BW_{MEMORIA} = 1,6$ GB/s; $BW_{PCI} = 528$ MB/s; $BW_{EISA} = 32$ MB/s
- $BW_{SCSI} = 80$ MB/s → 4 discos
- $BW_{PCI_libre} = 416$ MB/s

10.29. Un periférico que transfiere bloques de 60 MB presenta por cada acceso un tiempo de latencia de 10 ms y un tiempo de transferencia de 5 ms. El periférico está conectado al controlador de entrada/salida mediante un bus de 64 bits que funciona a una frecuencia de 800 MHz, realiza dos transferencias por ciclo y tiene una sobrecarga del 60%.

- a. ¿Cuál es el rendimiento del periférico expresado en operaciones por segundo?
- b. ¿Cuál es el tiempo necesario para transferir 2 GB de datos?
- c. ¿Cuántos periféricos se pueden conectar al controlador de entrada/salida?

Solución:

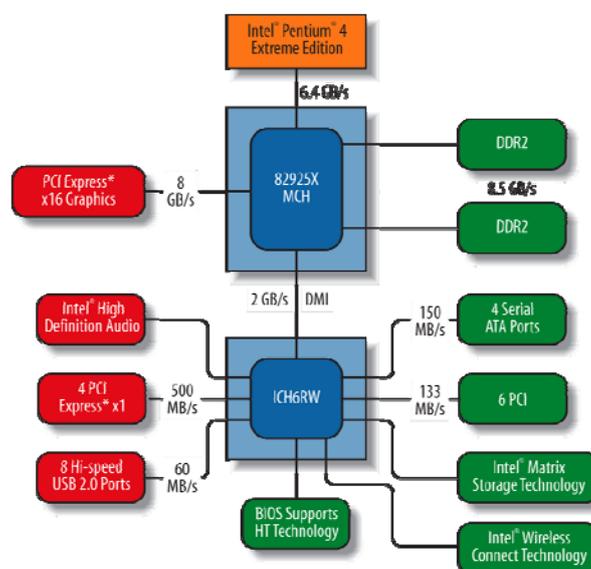
a. $R_{\text{periférico}} = 66,7 \text{ ops}$; b. $BW_{\text{periférico_efectivo}} = 4 \text{ GB/s} \rightarrow t_{E/S} = 0,5 \text{ s}$; c. $BW_{\text{BUS_efectivo}} = 5,12 \text{ GB/s} \rightarrow 1 \text{ periférico}$

10.30. Un procesador cuyo rendimiento es de 5 000 MIPS puede realizar operaciones de entrada/salida empleando 20 000 instrucciones. En cada operación se transfieren bloques de 64 kB. Por otro lado, se dispone de varios periféricos conectados al sistema a través del bus **PCI** que operan a una velocidad de 200 Mb/s cada uno. Si el chipset del sistema es el representado en la figura:

- a. ¿Cuántas operaciones por segundo es capaz de gestionar el procesador?
- b. ¿Cuántas operaciones por segundo permite el bus **FSB** (conexión entre el procesador y el **MCH**)?
- c. ¿Cuántas operaciones por segundo permite el bus **DMI** (conexión entre el **ICH** y el **MCH**)?
- d. ¿Cuántas operaciones por segundo permite el bus **PCI**?
- e. ¿Cuántos periféricos se pueden conectar?
- f. ¿Cuál es el tiempo necesario para transferir 2 GB de datos utilizando el máximo número de periféricos?

Solución:

a. $R_{\text{CPU}} = 250 \text{ 000 ops}$; b. $R_{\text{FSB}} = 100 \text{ 000 ops}$; c. $R_{\text{DMI}} = 31 \text{ 250 ops}$; d. $R_{\text{PCI}} = 2 \text{ 078,125 ops}$;
 e. $BW_{\text{periférico}} = 25 \text{ MB/s} \rightarrow 5 \text{ unidades}$; f. $t_{E/S} = 16 \text{ s}$



10.31 Un determinado sistema que posee un procesador con un CPI de 2 y que trabaja a una frecuencia de 200 MHz, necesita 200 000 instrucciones para realizar una operación de entrada/salida. Dicho sistema posee también un bus con un ancho de datos de 128 bits que funciona a una frecuencia de 960 kHz, realiza cuatro transferencias por ciclo y tiene una sobrecarga del 25%. Si conectamos un periférico con un ancho de banda efectivo de 320 Mb/s y que transfiere bloques de 60 kB:

- a. ¿Cuánto tiempo tarda el periférico en transferir 12 GB de datos?
- b. ¿Cuál es el ancho de banda efectivo del bus?
- c. Determinar la presencia de un “cuello de botella” en el sistema.
- d. ¿Cuál debe ser el valor de CPI del procesador para poder gestionar las operaciones de entrada/salida a través del periférico?

Solución:

a. $t_{E/S} = 300 \text{ s}$

b. $BW_{\text{BUS_efectivo}} = 46,08 \text{ MB/s}$

c. $R_{\text{CPU}} = 500 \text{ ops}$; $R_{\text{BUS}} = 768 \text{ ops}$; $R_{\text{PERIFÉRICO}} = 666,67 \text{ ops} \rightarrow$ El procesador es un cuello de botella.

c. $R_{\text{CPU}} \geq R_{\text{PERIFÉRICO}} \rightarrow \text{CPI} \leq 1,5$

Tema 11: Gestión del sistema de entrada/salida

11.1 En una operación de entrada/salida programada con espera el procesador no tiene que intervenir hasta que el periférico esté preparado. ¿VERDADERO o FALSO?

Solución: FALSO

11.2 En las operaciones de entrada/salida programadas con sondeo el procesador dedica parte de su tiempo a sondear los periféricos. ¿VERDADERO o FALSO?

Solución: VERDADERO

11.3 En una transferencia por **DMA** en modo de robo de ciclo los datos se transfieren palabra a palabra en tantos ciclos como sea necesario. ¿VERDADERO o FALSO?

Solución: VERDADERO

11.4 El *controlador de interrupciones programable (PIC)* es un dispositivo que se encarga de la transferencia de datos en una operación de entrada/salida. ¿VERDADERO o FALSO?

Solución: FALSO

11.5 La entrada/salida programada con sondeo es la forma más eficiente para gestionar periféricos de gran velocidad. ¿VERDADERO o FALSO?

Solución: FALSO

11.6 Antes de atender una interrupción ejecutando la **ISR** correspondiente, el procesador debe guardar el contexto de ejecución, es decir, el contenido del contador de programa y de los registros de estado. ¿VERDADERO o FALSO?

Solución: VERDADERO

11.7 En la identificación de interrupciones mediante vectores, el periférico responde al procesador indicándole su dirección al recibir la señal **INTA**. ¿VERDADERO o FALSO?

Solución: VERDADERO

11.8 En una operación de E/S por **DMA** el procesador sólo debe encargarse de la fase de transferencia. ¿VERDADERO o FALSO?

Solución: FALSO

11.9 Antes de una operación de salida mediante **DMA** es necesario actualizar en la memoria principal los bloques modificados en la memoria cache. ¿VERDADERO o FALSO?

Solución: VERDADERO

11.10 Después de una operación de entrada mediante **DMA** es necesario invalidar en la memoria cache los bloques afectados. ¿VERDADERO o FALSO?

Solución: VERDADERO

11.11 ¿Con qué nombre se suele indicar la señal que activa un periférico para solicitar una interrupción al procesador de un sistema?

Solución: IRQ

11.12 ¿Con qué nombre se suele indicar la señal que genera el procesador para informar que una interrupción va a ser atendida?

Solución: INTA

11.13 ¿Qué nombre recibe el dispositivo programable que se encarga de ayudar al procesador a gestionar las interrupciones del sistema de entrada/salida?

Solución: PIC (*Programmable Interrupt Controller*)

11.14 ¿Qué nombre recibe el dispositivo capaz de controlar una transferencia de datos entre un periférico y la memoria sin intervención del procesador?

Solución: DMAC (*Direct Memory Access Controller*)

11.15 ¿Qué nombre recibe el elemento hardware de un computador donde se concentran todos los dispositivos que ayudan al procesador a gestionar las operaciones de E/S como por ejemplo el **PIC** y el **DMAC**?

Solución: Chipset (ICH – I/O Controller Hub)

11.16. ¿Qué nombre recibe el tipo de transferencia por **DMA** donde la transferencia de datos entre periférico y memoria se realiza utilizando el bus de manera ininterrumpida?

Solución: Transferencia en modo ráfaga

11.17. Un computador con un procesador que funciona a una frecuencia de 1 GHz dispone de un sistema de entrada/salida basado en interrupciones. En cada interrupción se puede transferir un bloque de 64 bits y la gestión de cada interrupción supone 200 ciclos. ¿Cuál sería la máxima velocidad que podría tener un periférico para gestionarlo de este modo?

Solución: $BW_{\text{periférico}} = 40 \text{ MB/s}$

11.18. La rutina de sondeo de un determinado periférico que transfiere bloques de 64 bits en un computador con un **CPI** de 2 y que funciona a una frecuencia de 1 MHz consta de 200 instrucciones. ¿Cuál sería la máxima velocidad que podría tener un periférico para gestionarlo de este modo?

Solución: $BW_{\text{periférico}} = 20 \text{ kB/s}$

11.19. ¿Cuántas veces por segundo tendríamos que sondear un teclado suponiendo que un usuario fuera capaz de realizar 600 pulsaciones por minuto?

Solución: $F_{\text{sondeo}} = 10 \text{ veces/s}$

11.20. ¿Cuántas veces por segundo es necesario sondear un dispositivo que transfiere bloques de 32 bits a razón de 2 kB/s?

Solución: $F_{\text{sondeo}} = 500 \text{ veces/s}$

11.21. Un computador tiene conectado un ratón que debe consultarse 20 veces por segundo para poder actualizar su posición en la pantalla. La rutina de consulta requiere 2000 ciclos para su ejecución. Si el computador tiene una frecuencia de 2,5 MHz:

- ¿Qué tiempo dedica el computador a ejecutar cada consulta?
- ¿Cuánto tiempo libre tiene el computador entre cada consulta?
- ¿Qué porcentaje de tiempo dedica el computador a ejecutar esta rutina?
- ¿Cuántas veces por segundo habría que consultar el ratón para bloquear el computador?

Solución:

- $t_{\text{rutina}} = 800 \mu\text{s}$
- $t_{\text{libre}} = 49,2 \text{ ms}$
- $\% \text{CPU} = 1,6\%$
- $F_{\text{sondeo}} = 1250 \text{ consultas/s}$

11.22. Un computador con un procesador que funciona a una frecuencia de 1 GHz dispone de un sistema de entrada/salida gestionado mediante **DMA** donde las rutinas de inicio y finalización de transferencia constan de 300 y 200 ciclos respectivamente. Se desea transferir 2 MB de datos entre la memoria principal y un periférico cuyo ancho de banda es de 500 kB/s. Teniendo en cuenta que la transferencia se realiza en bloques 128 bits:

- ¿Cuánto tiempo dura la transferencia?
- ¿Qué fracción de tiempo dedica la **CPU** a la operación de E/S?

Si la transferencia se realiza en modo de robo de ciclo:

- ¿Cuál es el porcentaje de ciclos robados?

Solución:

- $t_{E/S} = 4 \text{ s}$
- $t_{CPU} = 500 \text{ ns} \rightarrow \%CPU = 0,0000125\%$
- $CPU = 4 \times 10^9 \text{ ciclos}; DMA = 125000 \text{ ciclos} \rightarrow \%Ciclos_{robados} = 0,0031\%$

11.23. Un procesador que funciona a una frecuencia de 200 MHz y con un **CPI** de 2, va a transferir 100 kB de datos desde la memoria principal hacia un periférico que opera a una velocidad de 4 kB/s en bloques de 32 bits.

- ¿Cuánto tiempo dura la operación transferencia?

Determinar la fracción de tiempo que dedica la **CPU** a la operación de E/S mediante las diferentes técnicas de gestión de E/S:

- Mediante E/S programada con espera.
- Mediante E/S programada con sondeo. Para ello se debe tener en cuenta que:
 - » Para garantizar que no se pierde ningún dato durante la transferencia se debe sondear el dispositivo a una tasa de 1000 veces por segundo.
 - » La rutina de sondeo supone 100 instrucciones.
- Mediante E/S con interrupciones. Para ello se debe tener en cuenta que:
 - » El periférico genera una interrupción cada vez que está preparado para transferir un bloque.
 - » Cada interrupción supone 400 instrucciones.
- Mediante E/S con acceso directo a memoria. Para ello se debe tener en cuenta que:
 - » El inicio de la transferencia supone 800 instrucciones.
 - » El tratamiento de la interrupción al finalizar supone 400 instrucciones.

Solución:

- $t_{E/S} = 25 \text{ s}$
- $t_{CPU} = 25 \text{ s} \rightarrow \%CPU = 100\%$
- $t_{CPU} = 25 \text{ ms} \rightarrow \%CPU = 0,1\%$
- $t_{CPU} = 100 \text{ ms} \rightarrow \%CPU = 0,4\%$
- $t_{CPU} = 12 \text{ } \mu\text{s} \rightarrow \%CPU = 0,000048\%$

11.24. Un computador dispone de un procesador que trabaja a una frecuencia de 1,2 GHz y de un disco duro que puede transferir bloques de 500 kB cada 15 ms. En un determinado momento se desea transferir desde la memoria principal hacia el disco duro 1 GB de datos. Si dicha transferencia se va a gestionar mediante interrupciones y cada interrupción supone 360 ciclos:

- ¿Cuánto tiempo dura la operación de entrada/salida?
- ¿Qué tiempo dedica el procesador a la transferencia sabiendo que el disco genera una interrupción cada vez que está preparado para recibir un bloque?
- ¿Qué porcentaje de tiempo supone para el procesador dicha transferencia?

Solución:

- $t_{E/S} = 30 \text{ s}$
- $t_{CPU} = 0,6 \text{ ms}$
- $\%CPU = 0,002\%$

11.25. Un procesador con un rendimiento de 2.500 MIPS puede realizar operaciones de entrada/salida gestionadas mediante interrupciones empleando para ello 120.000 instrucciones. En cada operación de entrada/salida se transfieren bloques de 64 kB. Si queremos transferir 2 GB de datos hacia un periférico que opera a una velocidad de 320 Mb/s:

- ¿Cuánto tiempo dura la operación de entrada/salida?
- ¿Qué porcentaje de tiempo supone para el procesador dicha transferencia?

Solución:

- $t_{E/S} = 50 \text{ s}$
- $t_{CPU} = 1,5 \text{ s} \rightarrow \%CPU = 3\%$