

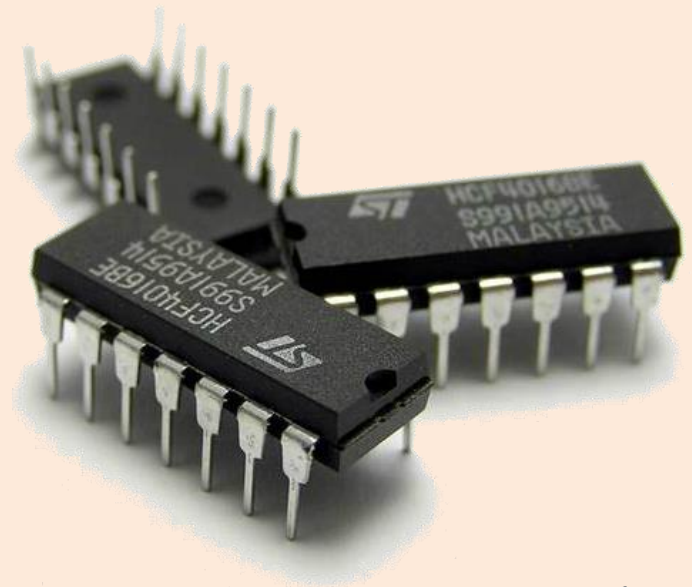


Familias lógicas

José M. Cámara

(checam@ubu.es)

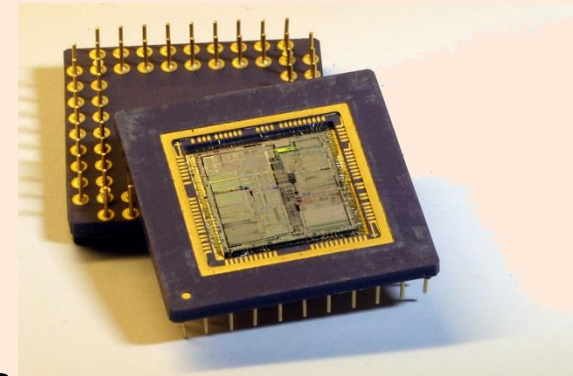
V 1.0





Escala de integración

- De acuerdo con el número de transistores (o puertas lógicas) que integran los circuitos integrados se clasifican en varias categorías:
 - SSI (short scale integration): 3 – 30
 - MSI (medium scale integration: 30 – 300
 - LSI (large scale integration): 300 – 3.000
 - VLSI (very large scale integration) > 3.000
 - ULSI (ultra large scale integration) > 1.000.000
- La resolución (detalle mínimo en litografía) se ha ido incrementando paralelamente:
 - Tecnología sub-micrónica: $L_{\min} \geq 0,35\mu\text{m}$
 - Tecnología sub-micrónica profunda: $0,1\mu\text{m} \leq L_{\min} \leq 0,35\mu\text{m}$
 - Tecnología sub-micrónica ultra profunda: $L_{\min} \leq 0,1\mu\text{m}$





Parámetros característicos

- Tensión de alimentación.
- Niveles lógicos.
- Margen de ruido.
- Corrientes.
- Retardo de propagación.
- Fan-out.
- Potencia.
- Producto velocidad x potencia.



Tensión de alimentación

Rango de tensiones de alimentación que asegura el correcto funcionamiento del circuito.

Symbol	Parameter	Series	Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54	4.5	5.0	5.5	V
		74	4.75	5.0	5.25	

Si $V_{CC} < \text{Min.}$ el dispositivo puede no funcionar según lo previsto.

Si $V_{CC} > \text{Max.}$ el dispositivo puede deteriorarse.

Si $\text{Min.} < V_{CC} < \text{Max.}$ el fabricante garantiza el correcto funcionamiento.



Niveles lógicos

Marcan las tensiones del “0” y “1” lógico. Estos valores no pueden tener un nivel fijo, sino que abarcarán un cierto rango. Dependerán de la tensión de alimentación, especialmente en las familias CMOS que admiten un amplio rango de tensiones.



V_{iH} : tensión de entrada mínima del nivel alto.
 V_{iL} : tensión de entrada máxima del nivel bajo.

V_{oH} : tensión de salida mínima del nivel alto.

V_{oL} : tensión de salida máxima del nivel bajo.

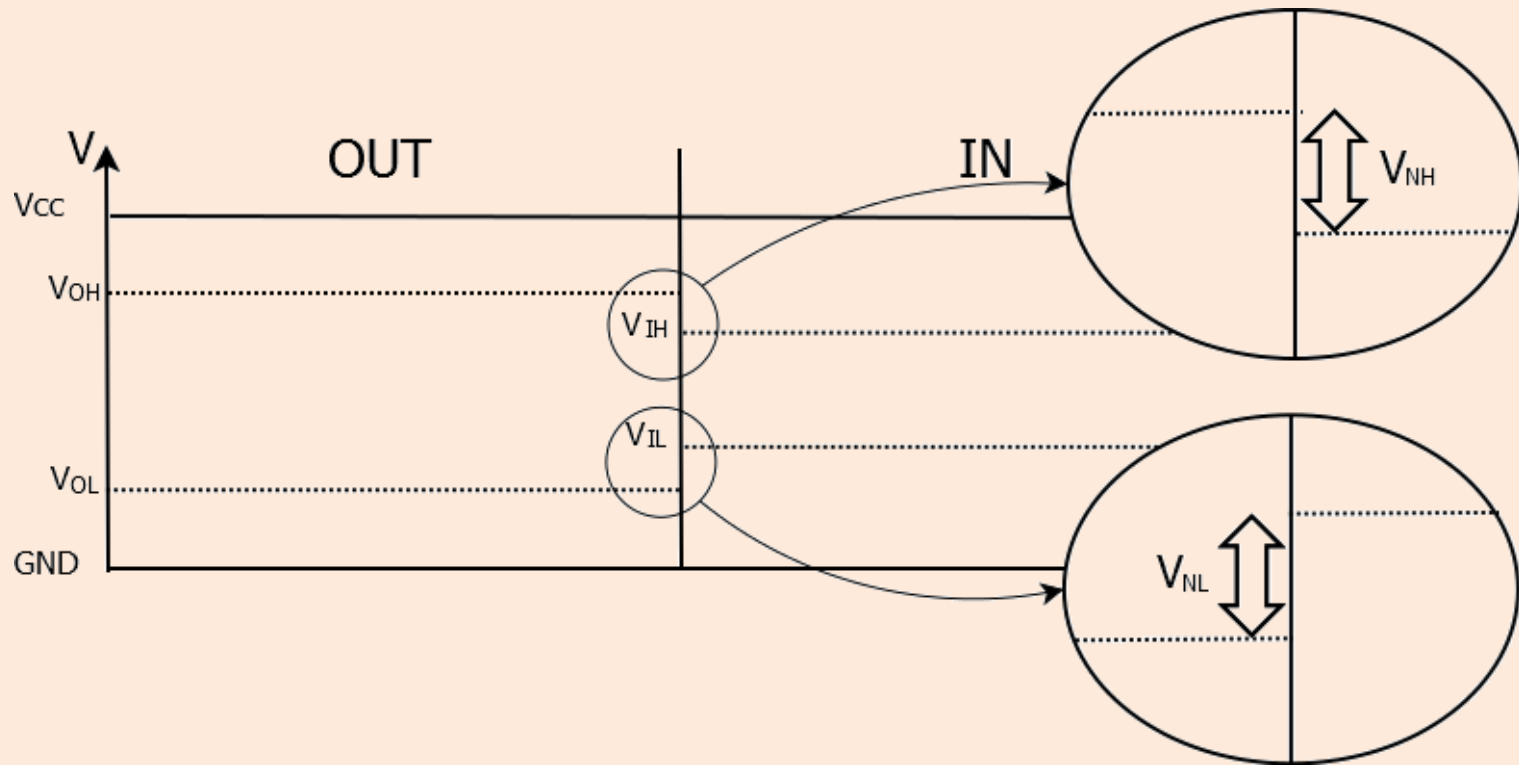
Symbol	Parameter	Limits			Unit
		Min	Typ	Max	
V_{iH}	Input High Voltage	2.0			V
V_{iL}	Input Low Voltage			0.8	V
V_{oH}	Output High Voltage	2.7	3.5		V
V_{oL}	Output Low Voltage		0,25	0.4	V



Margen de ruido

$$V_{NH} = V_{iH} - V_{oH}$$

$$V_{NL} = V_{iL} - V_{oL}$$





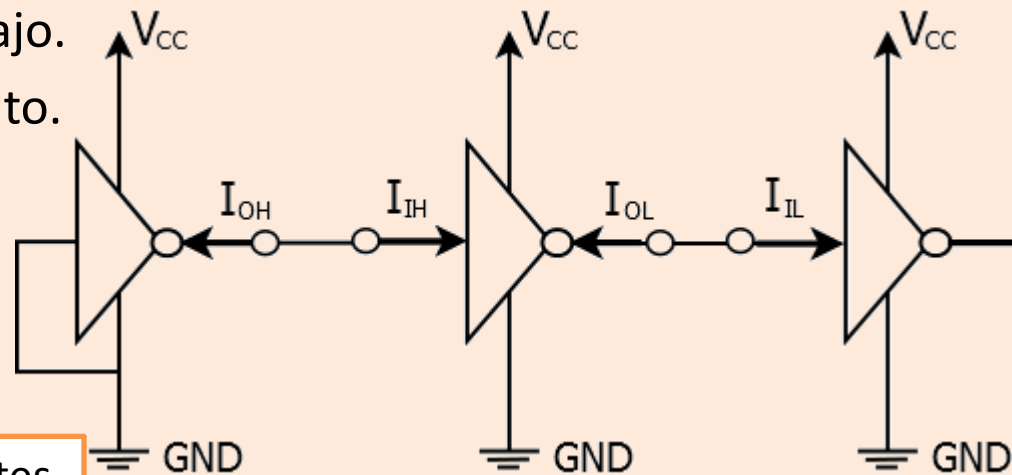
Corrientes

I_{iL} : corriente de entrada máxima a nivel bajo.

I_{iH} : corriente de entrada máxima a nivel alto.

I_{oL} : corriente de salida máxima a nivel bajo.

I_{oH} : corriente de salida máxima a nivel alto.



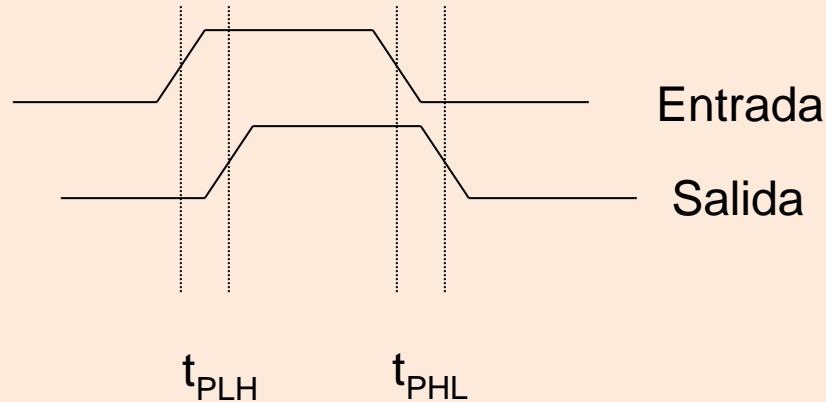
Las corrientes, por defecto se toman entrantes.

Parameter	Min	Nom	Max	Unit	
I_{oH} : High Level Output current				mA	
I_{oL} : Low Level Output current				mA	
	Test Conditions	Min	Typ	Max	
I_{iH}	$V_{CC} = \text{MAX } V_I = 2.4 \text{ V}$			40	μA
I_{iL}	$V_{CC} = \text{MAX } V_I = 2.4 \text{ V}$			-1.6	mA



Retardo de propagación

$$t_{pd} = \frac{t_{PLH} + t_{PHL}}{2}$$



Parameter	From (Input)	To (Output)	Test Conditions	SN5404 SN7404			Unit
				Min	Typ	Max	
t_{PLH}	A	Y	$R_L = 400\Omega$ $C_L = 15pF$		12	22	ns
t_{PHL}					8	15	



Fan out: número de circuitos análogos que se pueden conectar a la salida.

Potencia: consumo promedio a nivel alto y bajo.

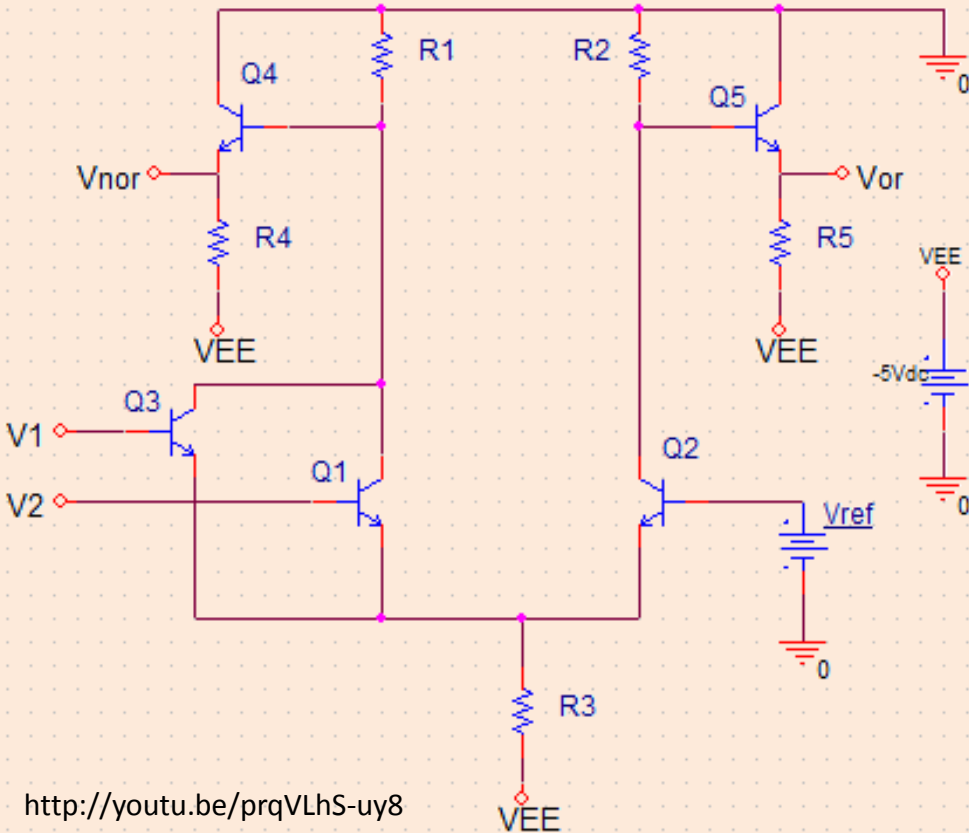
Producto velocidad-potencia: potencia en mW por retardo de propagación en ns. Salen pJ. Se emplea como parámetro útil en aplicaciones en las que interese combinar velocidad y potencia.



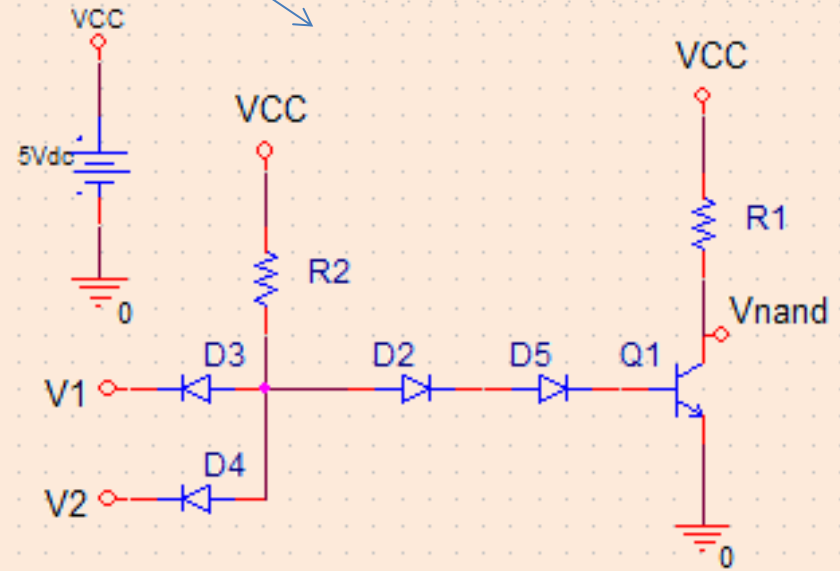
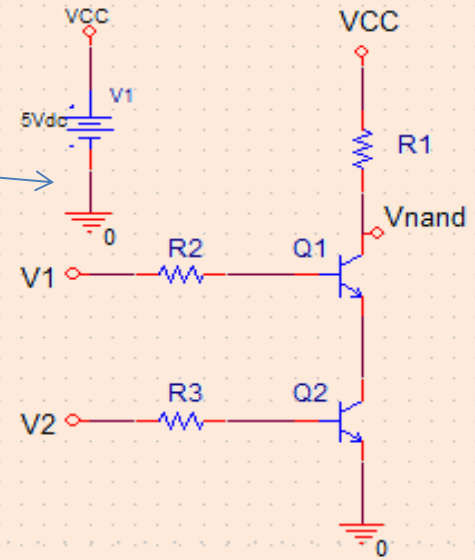
Tecnologías

Tecnologías bipolares

- RTL
- DTL
- TTL**
- ECL



<http://youtu.be/Sxh4Vqe0sB4>



<http://youtu.be/prqVLhS-uy8>

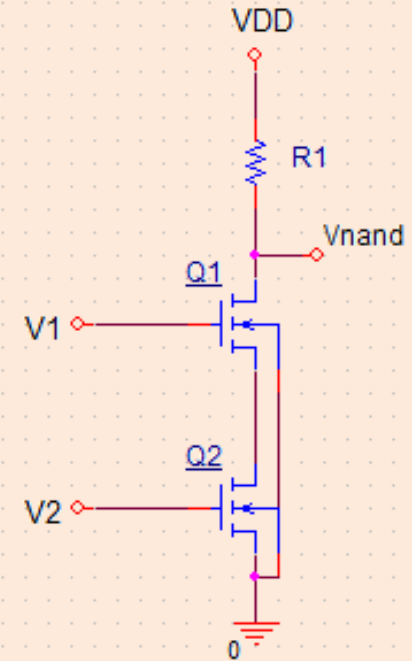
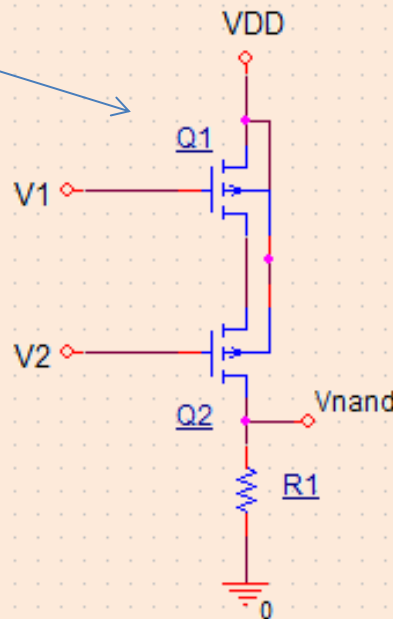
http://youtu.be/_taAQ-viwRE



Tecnologías

Tecnologías
MOS

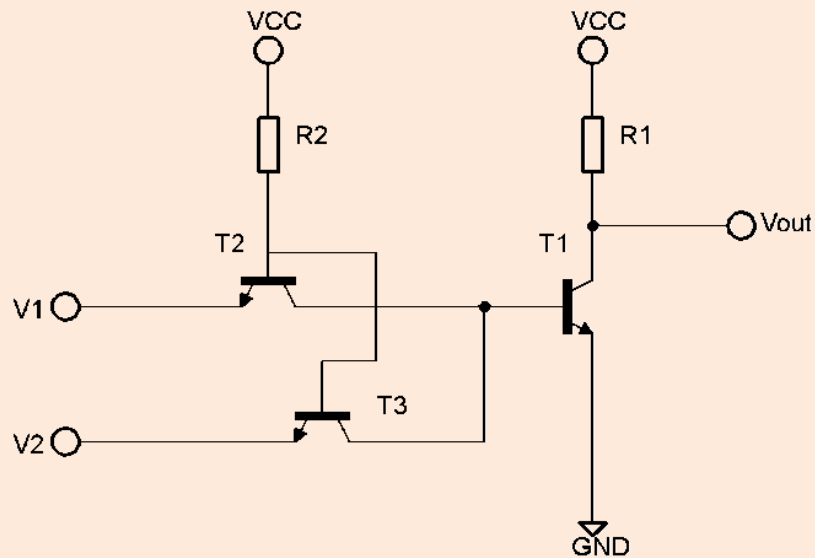
NMOS
PMOS
CMOS



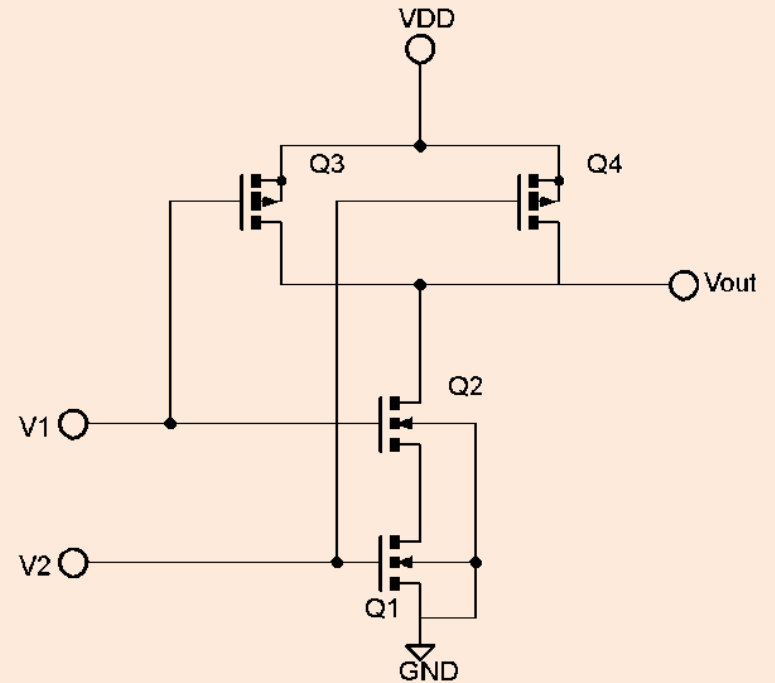


TTL & CMOS

TTL NAND



CMOS NAND



<http://youtu.be/NHX-l-yHtDE>

<http://youtu.be/mnLFGk-tUtg>

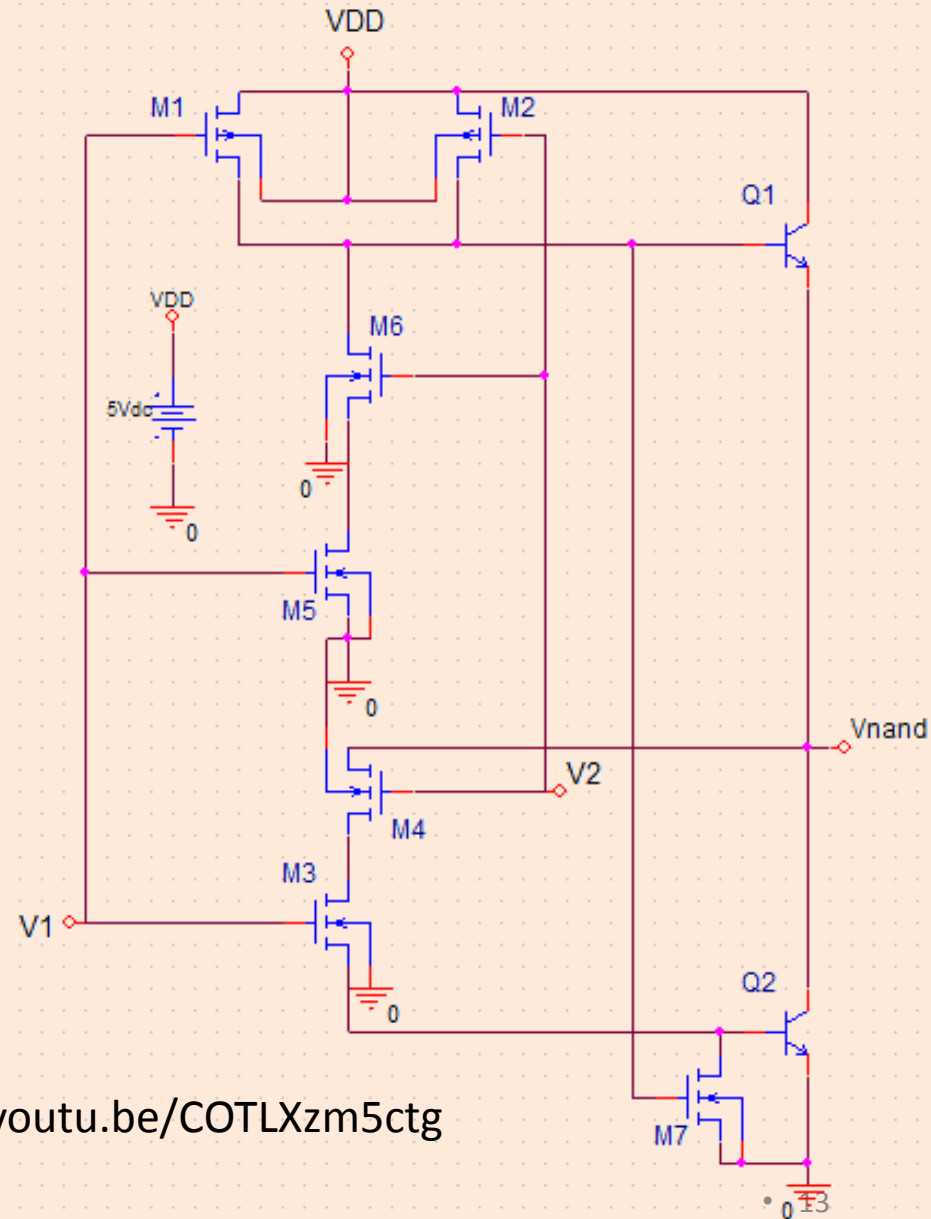


BiCMOS

Combina:

- ❖ Velocidad de los transistores bipolares de salida.
- ❖ Baja disipación de los CMOS.

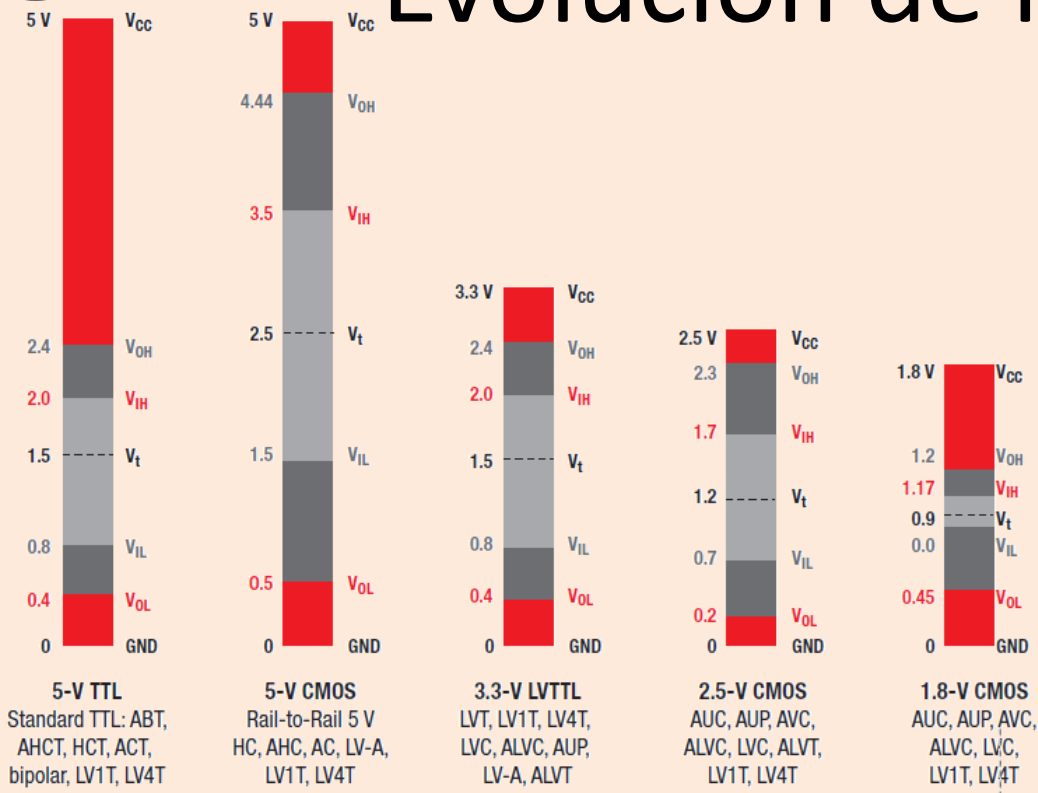
Introduce mayor complejidad del circuito.



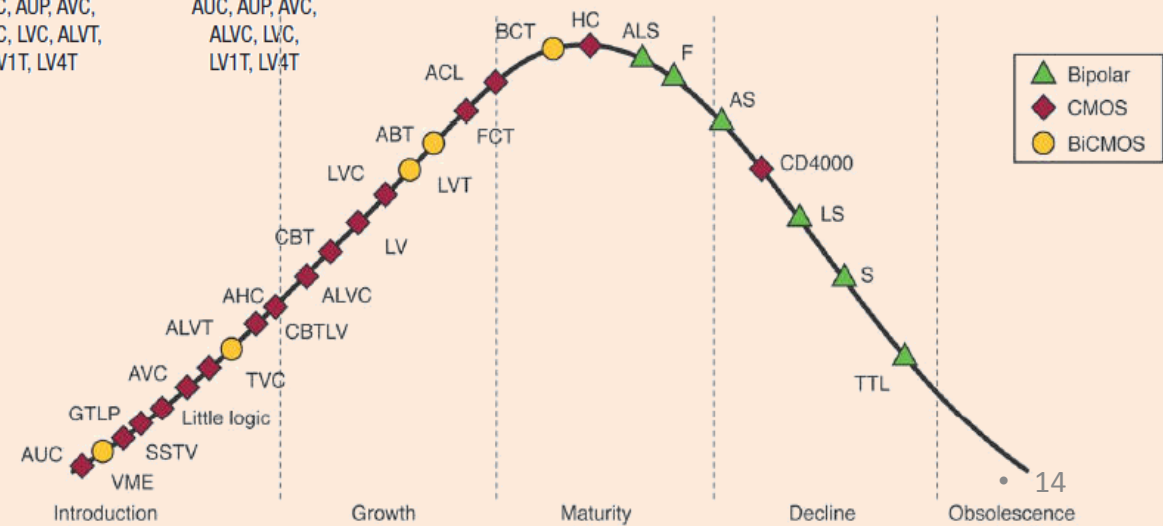
<http://youtu.be/COTLXzm5ctg>



Evolución de las familias lógicas

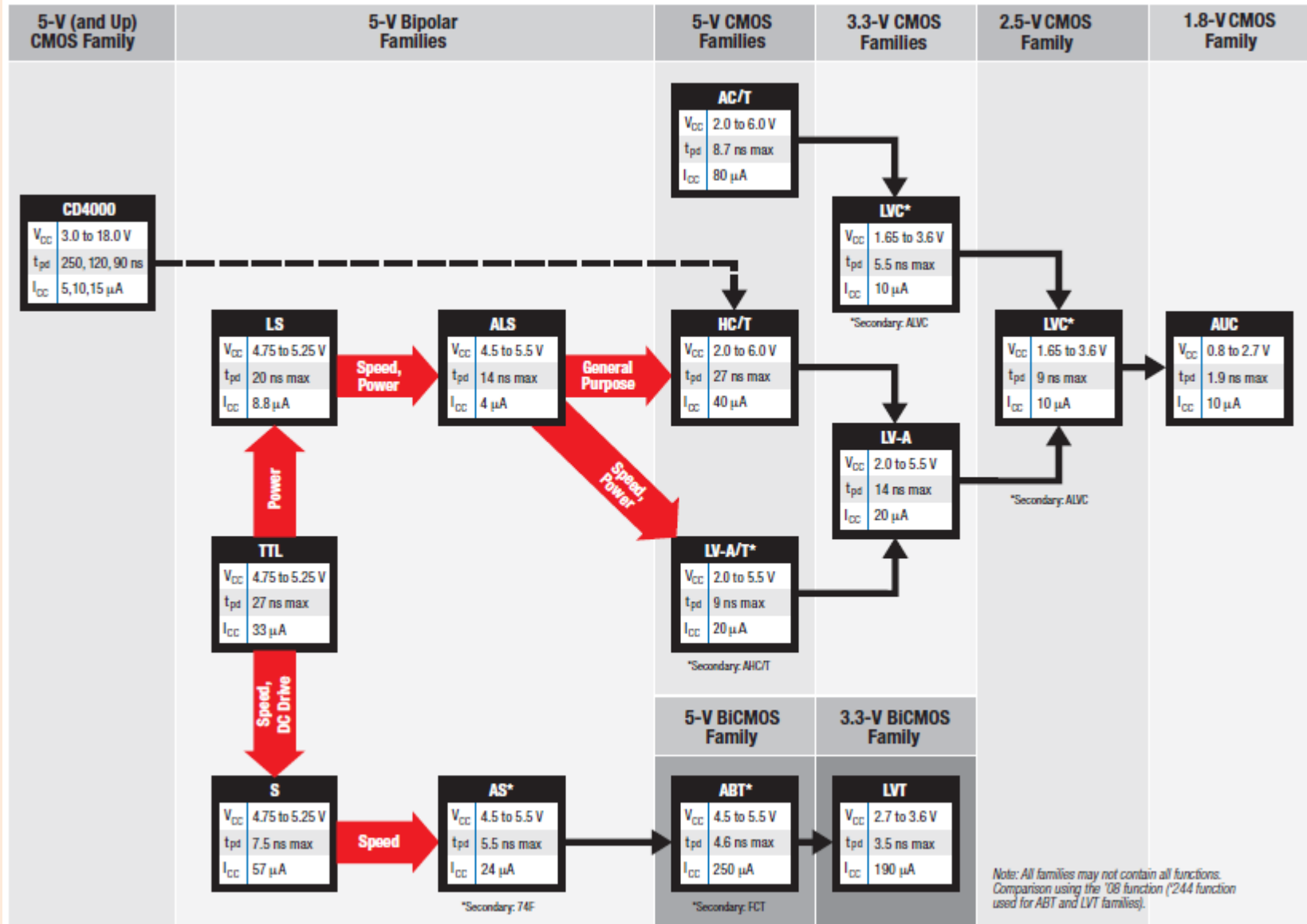


Texas Instruments Logic Guide 2014





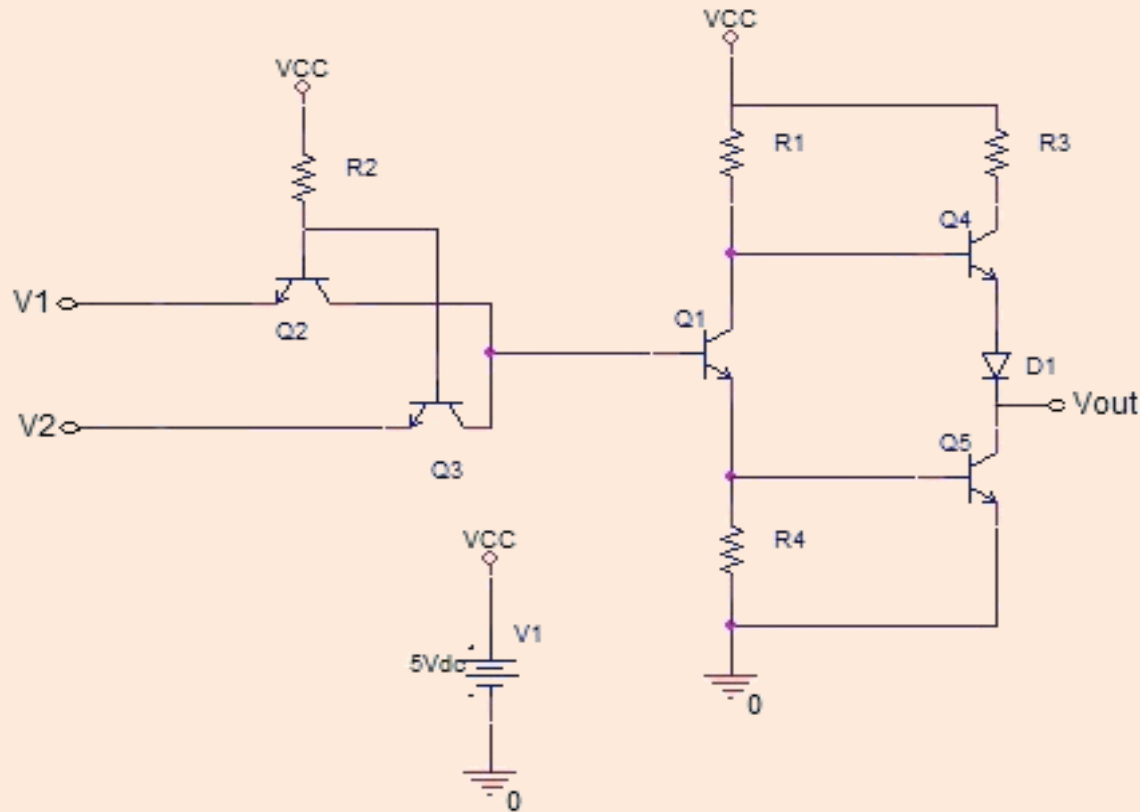
Evolución (II)





Etapas de salida

Totem pole: etapa de salida por defecto

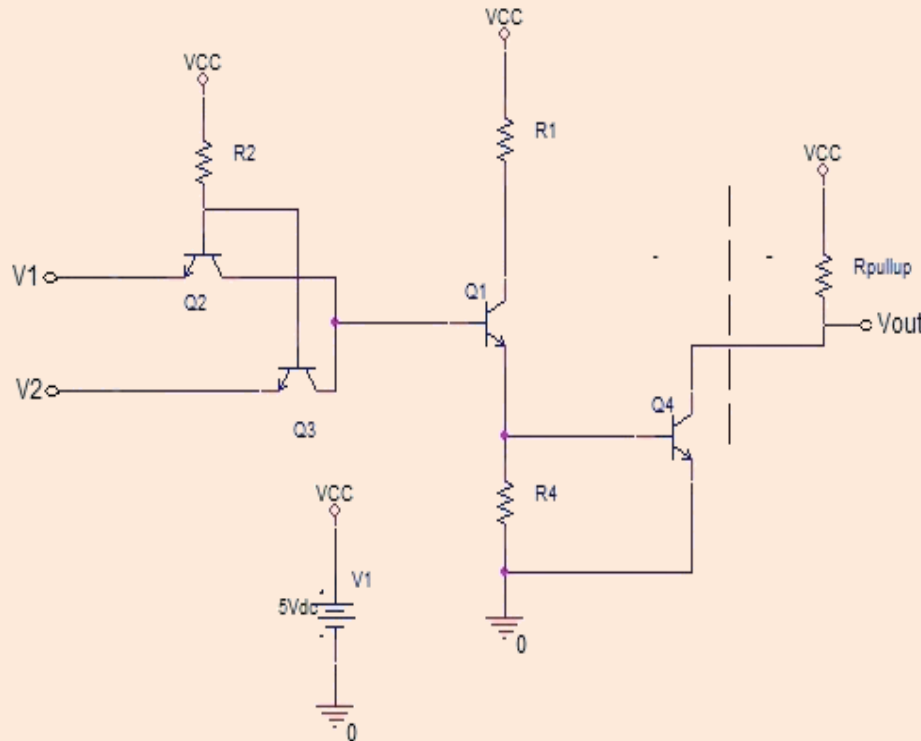


<http://youtu.be/WqRMhfSYI1I>



Etapas de salida (II)

Colector/drenador abierto



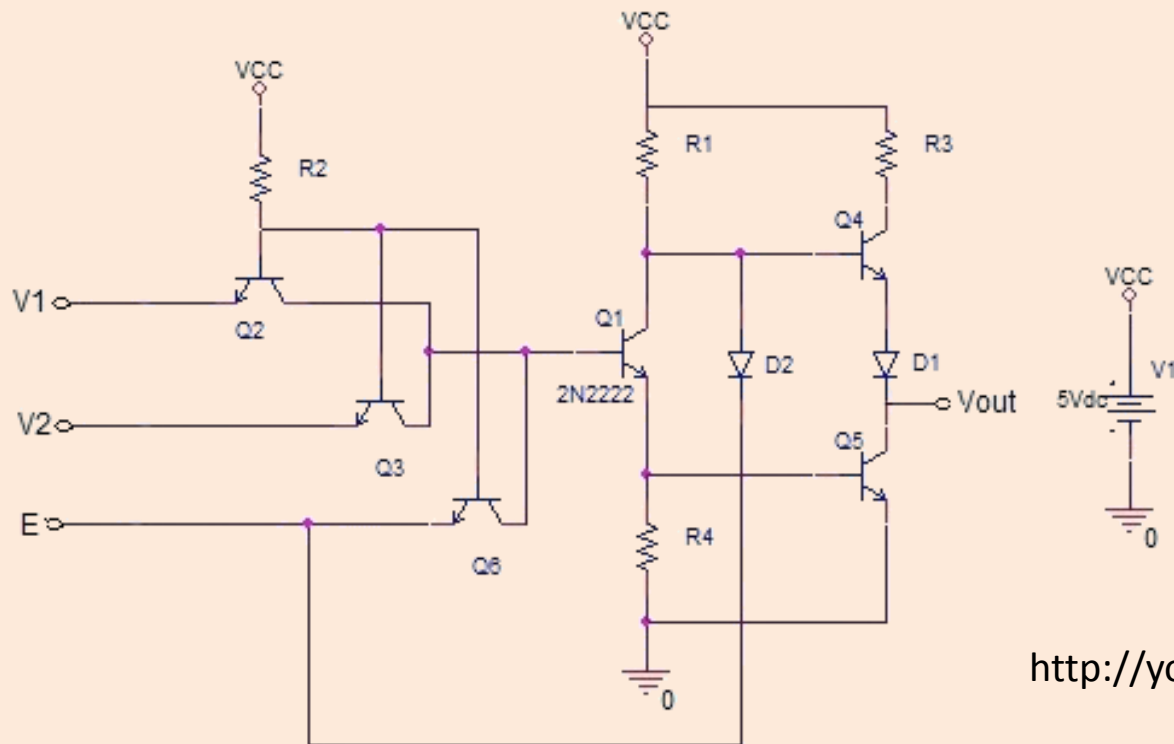
http://youtu.be/eIRzfj2IX_E

Necesita un resistor de pull-up externo
Permite configuraciones del tipo OR cableada.



Etapas de salida (III)

Triestado



<http://youtu.be/iwjR9Kzt0cM>

Dispone de una entrada de habilitación.

Permite desconectar (en alta impedancia) la salida de la puerta.



Referencias

- <http://diranieh.com/Electrenicas/DigitalAnalog.htm>
- http://people.seas.harvard.edu/~jones/es154/lectures/lecture_7/lecture_7.html
- Texas Instruments Logic Guide: www.ti.com/logic